

## KOREAN PATENT ABSTRACTS

(11) Publication number: 1020000073727 A  
(43) Date of publication of application: 05.12.2000

(21) Application number: 1019990017189

(71) Applicant:

SAMSUNG ELECTRONICS  
CO., LTD.

(22) Date of filing: 13.05.1999

(72) Inventor:

KIM, DONG GYU

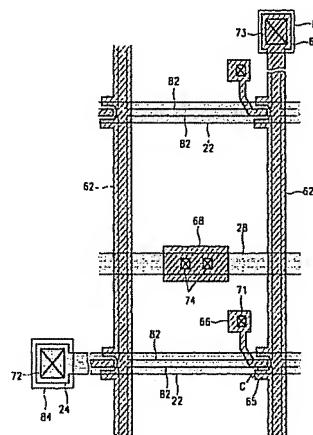
(51) Int. Cl

G02F 1/136

## (54) THIN FILM TRANSISTOR SUBSTRATE AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: A thin film transistor substrate is provided to decrease the number of the masks used when manufacturing and to manufacture a liquid crystal display device allowing to protect a gate pad by using four masks. CONSTITUTION: In a thin film transistor substrate, a gate wiring having a gate wire and a gate electrode connected to the gate wire is formed on an insulating substrate. A gate insulating film is formed to cover the gate wiring. A resistive contact layer pattern(55, 56) is formed on the semiconductor pattern. The source and drain electrodes(65,66) are formed separately on the contact layer and are made of the same layer. A data wiring includes the data line connected to the source electrode. A protection film pattern is formed to cover the data wiring. A pixel electrode is formed to connect to the drain electrode. The division of the source and drain electrodes is carried out using photo-etching process with a photosensitive film pattern(114). The photosensitive film pattern is located in a channel portion(C) between the source and drain electrodes except for the corner parts. The pattern includes the first part having the first thickness, the second part having the second thickness thicker than the first thickness and the corner parts. The third part is located in the place except for the first and second parts, and does not have any thickness or has the thickness thinner than the first thickness.



COPYRIGHT 2001 KIPO

## Legal Status

Date of request for an examination (20040423)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20060616)

Patent registration number (1006011680000)

Date of registration (20060707)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

**(51) Int. Cl.** 6  
**G02F 1/136**

**(11) 공개번호** 특2000-0073727  
**(43) 공개일자** 2000년12월05일

**(21) 출원번호** 10-1999-0017189  
**(22) 출원일자** 1999년05월13일

<b>(71) 출원인</b>	삼성전자 주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416
<b>(72) 발명자</b>	김동규 경기도수원시팔달구인계동선경아파트302동801호
<b>(74) 대리인</b>	김원호 김원근

**심사청구 :** 없음

**(54) 박막 트랜지스터 기판 및 그의 제조 방법**

**요약**

기판 위에 게이트선, 게이트 패드, 게이트 전극을 포함하는 게이트 배선을 형성하고, 게이트 절연막, 반도체층, 중간층 및 도전체 층을 연속 증착한 다음 그 위에 양성의 감광막을 도포한다. 마스크를 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴을 형성한다. 감광막 패턴 중에서 소스 전극과 드레인 전극 사이의 채널부에 위치한 제1 부분은 데이터 배선이 형성될 부분에 위치한 제2 부분보다 두께가 작게 되도록 하며, 기타 부분과 채널부의 모서리 부분의 감광막은 모두 제거한다. 이는 마스크에 해상도 보다 작은 패턴이나 슬릿(slit)을 형성하거나 반투명막을 두어 감광막에 조사되는 빛의 조사량을 조절하거나, 리플로우를 통하여 얇은 두께의 막을 만들도록 가능하다. 다음, 기타 부분과 채널부의 모서리 부분의 노출되어 있는 도전체층을 건식 또는 습식 식각 방법으로 제거하여 그 하부의 중간층을 노출시키고, 계속해서 노출된 중간층 및 그 하부의 반도체층을 감광막의 제1 부분과 함께 건식 식각 방법으로 동시에 제거한다. 도전체층 표면에 남아 있는 감광막 찌꺼기를 애싱(ashing)을 통하여 제거한 후, 모서리 부분을 제외한 채널부의 도전체층 및 그 하부의 중간층 패턴을 식각하여 제거함으로써, 소스 전극과 드레인 전극을 분리한다. 남아 있는 감광막 제2 부분을 제거한 후, 보호막과 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다.

**대표도**

**도14**

**색인어**

리플로우, 마스크, 채널, 분해능, 감광막

**명세서**

**도면의 간단한 설명**

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,  
 도 2 및 도 3은 도 1에 도시한 박막 트랜지스터 기판을 II-II' 선 및 III-III'선을 따라 잘라 도시한 단면도이고,  
 도 4a는 본 발명의 제1 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,  
 도 4b 및 4c는 각각 도 4a에서 IVb-IVb' 선 및 IVc-IVc' 선을 따라 잘라 도시한 단면도이며,  
 도 5a 및 5b는 각각 도 4a에서 IVb-IVb' 선 및 IVc-IVc' 선을 따라 잘라 도시한 단면도로서, 도 4b 및 도 4c 다음 단계에서의 단면도이고,  
 도 6a는 도 5a 및 5b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,  
 도 6b 및 6c는 각각 도 6a에서 VIb-VIb' 선 및 VIc-VIc' 선을 따라 잘라 도시한 단면도이며,  
 도 7a 내지 7c, 도 8a 내지 8c 및 도 9a 내지 9c는 두께가 다른 감광막을 형성하는 예를 도시한 단면도이고,  
 도 10a, 11a, 12a와 도 10b, 11b, 12b는 각각 도 6a에서 VIb-VIb' 선 및 VIc-VIc' 선을 따라 잘라 도시한 단면도로서 도 6b 및 6c 다음 단계들을 공정 순서에 따라 도시한 것이고,  
 도 13a는 도 12a 및 12b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,  
 도 13b 및 13c는 각각 도 13a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도이며,

도 14는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고,  
도 15는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고  
도 16은 도 15에서 T 부분을 상세하게 도시한 확대도이고,  
도 17은 도 15에서 XVII-XVII' 선을 따라 잘라 도시한 단면도이고,  
도 18은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 공정을 도시한 도면으로서, 도 16에서 XVII-XVII' 선을 따라 잘라 도시한 단면도이고,  
도 19 및 도 20는 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 단면도로서, 각각 도 1에서 II-II' 및 III-III' 선을 따라 절단한 단면도이고,  
도 21a 및 도 21b는 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 공정을 공정 순서에 따라 도시한 단면도로서, 도 21a는 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 단면도로서, 도 21b는 도 6a에서 VIc-VIc' 선을 따라 잘라 도시한 단면도이고, 도 10a 및 도 10b의 다음 단계를 도시한 도면이고,  
도 22a 내지 도 22c는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 사용되는 두 번째 광마스크의 미세 패턴 구조를 도시한 배치도이고,  
도 23a 및 도 23b는 도 22a 내지 도 22c의 마스크를 이용하여 형성된 감광막 패턴을 도시한 도면으로서, 도 23b는 도 23a에서 XXIIb-XXIIb' 선을 따라 절단한 단면도이고,  
도 24a 내지 도 24c는 본 발명의 실시예에 따른 개선된 광마스크의 구조를 도시한 배치도이고,  
도 25a 및 도 25b는 도 24a 내지 도 24c의 마스크를 이용하여 형성된 감광막 패턴을 도시한 도면으로서, 도 25b는 도 25a에서 XXVb-XXVb' 선을 따라 절단한 단면도이고,  
도 26a 내지 도 26c는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 채널부를 고리 모양으로 형성하기 위한 마스크의 미세 패턴 구조를 도시한 배치도이고,  
도 27a 내지 도 27e는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 반투명막을 가지는 두 번째 마스크의 구조를 도시한 도면으로서, 도 27a, 도 27c, 도 27d 및 도 27e는 다양한 두 번째 마스크의 구조를 도시한 배치도이고, 도 27b는 도 27a에서 XXVIIb-XXVIIb' 선을 따라 절단한 단면도이고,  
도 28 및 도 29는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 사용하는 두 번째 마스크에서 채널부의 구조만을 도시한 배치도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기판의 그 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기판 중 하나에 형성되는 것이 일반적이다.

박막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이다. 이때, 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하며, 현재는 통상 5장 또는 6장의 마스크가 사용되고 있다. 물론 4장의 마스크를 이용하여 박막 트랜지스터 기판을 제조하는 방법에 대해서도 공개된 바 있으나, 이를 실제로 적용하기가 매우 어려운 문제점이 있다.

4장의 마스크를 이용한 종래의 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법의 한 예에 대하여 설명한다.

먼저, 첫째 마스크를 이용하여 기판 위에 저항이 작은 알루미늄이나 알루미늄 합금 등으로 게이트 배선을 형성한 후 그 위에 게이트 절연막, 비정질 규소층, n+ 비정질 규소층 및 금속층을 얹어져 적층한다. 둘째 마스크를 이용하여 금속층, n+ 비정질 규소층, 비정질 규소층의 삼층막을 패터닝한다. 이때, 게이트 패드 상부에는 삼층막 패턴이 남아 있지 않고 게이트 절연막만이 남아 있는 상태가 된다. 이어, ITO(indium tin oxide)막을 적층하고 셋째 마스크를 이용하여 패터닝한다. 이때, 게이트 패드 상부에는 ITO막이 남아 있지 않다. ITO막을 마스크로 삼아 금속층 및 n+ 비정질 규소층을 패터닝한 후, 보호막을 적층한다. 마지막으로, 넷째 마스크를 이용하여 보호막과 보호막 하부의 게이트 절연막을 패터닝하면 박막 트랜지스터 기판이 완성된다. 여기에서 마지막 단계인 보호막 패터닝 단계에서 게이트 패드 부분의 게이트 절연막이 제거된다.

이와 같이, 종래의 4장의 마스크를 이용한 제조 방법에서는 알루미늄 또는 알루미늄 합금으로 만들어진 게이트 패드가 그대로 노출된다. 그러나 알루미늄이나 알루미늄 합금은 저항은 작으나 물리적, 화학적 자극에 약하기 때문에 쉽게 손상되기 쉽다. 이를 보상하기 위해서는 게이트 배선을 이중막으로 하거나 물리적, 화학적인 손상이 적은 금속을 사용하여야 하는데, 전자의 경우에

는 공정이 복잡해지고 후자의 경우에는 이러한 금속들이 저항이 큰 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치용 박막 트랜지스터 기판을 제조할 때 마스크 수를 줄일 수 있는 새로운 방법을 제공하는 것이다.

본 발명이 이루고자 하는 기술적 과제는 게이트 패드를 보호할 수 있는 액정 표시 장치를 4장의 마스크를 이용하여 제조하는 방법을 제공하는 것이다.

### 발명의 구성 및 작용

이러한 과제를 달성하기 위하여 본 발명에서는 소스 및 드레인 전극을 분리할 때 다른 부분보다 두께가 얇은 감광막을 소스 및 드레인 전극의 사이에 형성하여 필요에 따라 어떤 막을 식각할 때는 하부막이 식각되지 않도록 보호하는 역할을 하고 또 다른 막이 식각될 때는 감광막이 함께 식각되어 감광막 하부의 막을 드러낸다.

본 발명에 따르면, 먼저 절연 기판 위에 게이트선 및 이와 연결된 게이트 전극을 포함하는 게이트 배선과 게이트 배선을 덮는 게이트 절연막 및 그 위의 반도체 패턴과 저항성 접촉층 패턴을 형성하고, 그 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스 전극 및 드레인 전극과, 소스 전극과 연결된 데이터선을 포함하는 데이터 배선을 형성한다. 데이터 배선을 덮는 보호막 패턴을 형성하고, 드레인 전극과 연결되는 화소 전극을 형성한다. 소스 및 드레인 전극의 분리는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 소스 전극 및 드레인 전극 사이의 채널부에 위치하며 제1 두께를 가지는 제1 부분과 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 두께가 없는 제3 부분을 포함한다.

여기에서, 사진 식각 공정에 사용되는 마스크는 빛이 일부만 투과될 수 있는 첫째 부분과 첫째 부분보다 빛의 투과량이 많은 둘째 부분 및 첫째 부분보다 빛의 투과량이 적은 셋째 부분을 포함하고, 감광막 패턴은 양성 감광막이며, 마스크의 첫째, 둘째, 셋째 부분은 노광 과정에서 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응하도록 정렬되는 것이 바람직하다.

이때, 마스크의 첫째 부분은 반투명막을 포함하거나, 노광 단계에서 사용되는 광원의 분해능보다 크기가 작은 패턴을 포함할 수 있다.

이외는 달리 감광막 패턴의 제1 부분을 리플로우를 통하여 형성할 수도 있다.

한편, 감광막 패턴의 제1 부분의 두께는 제2 부분의 두께의 1/4 이하인 것이 좋으며, 특히, 감광막 패턴의 제2 부분의 두께는 1  $\mu\text{m}$  내지 2  $\mu\text{m}$ , 바람직하게는 1.6 내지 1.9  $\mu\text{m}$ 이고, 제1 부분의 두께는 4,000 Å 이하인 3,000 Å 인 것이 바람직하다.

또한, 마스크는 첫째 부분과 둘째 부분 사이에 반투명막을 포함하거나, 노광 단계에서 사용되는 광원의 분해능보다 크기가 작은 패턴이 형성되어 있으며, 첫째 부분보다 빛의 투과량이 많은 한 부분을 포함할 수 있다.

본 발명의 실시예에 따르면, 데이터 배선과 접촉층 패턴 및 반도체 패턴을 하나의 마스크를 사용하여 형성할 수 있다. 이 경우, 게이트 절연막, 반도체 패턴, 접촉층 패턴 및 데이터 배선은 다음과 같은 단계를 거쳐서 형성된다. 먼저, 게이트 절연막, 반도체 층, 접촉층 및 도전층을 증착하고, 그 위에 감광막을 도포한 후, 마스크를 통하여 노광, 현상하여 제2 부분이 데이터 배선의 상부에 위치하도록 감광막 패턴을 형성한다. 이어, 제3 부분 아래의 도전층과 그 하부의 접촉층 및 반도체층, 제1 부분과 그 아래의 도전층 및 접촉층, 그리고 제2 부분의 일부 두께를 식각하여 도전층, 접촉층, 반도체층으로 각각 이루어진 데이터 배선, 접촉층 패턴, 반도체 패턴을 형성한 후 감광막 패턴을 제거한다. 이 때, 데이터 배선, 접촉층 패턴, 반도체 패턴은 다음의 세 단계를 거쳐서 형성할 수 있다. 먼저, 제3 부분 아래의 도전층을 습식 또는 건식 식각하여 접촉층을 노출시키고, 다음, 제3 부분 아래의 접촉층 및 그 아래의 반도체층을 제1 부분과 함께 건식 식각하여 제3 부분 아래의 게이트 절연막과 제1 부분 아래의 도전층을 노출시킴과 동시에 반도체층으로 이루어진 반도체 패턴을 완성한다. 마지막으로, 제1 부분 아래의 도전층과 그 아래의 접촉층을 식각하여 제거함으로써 데이터 배선과 접촉층 패턴을 완성한다.

여기서, 데이터 배선을 건식 식각이 가능한 물질로 형성하는 경우에는 제1 부분의 감광막 패턴의 두께에 따라 한 번의 식각 단계로서 반도체층 패턴, 데이터 배선 및 접촉층 패턴을 완성할 수도 있다.

이때, 소스 전극과 드레인 전극 사이의 채널부는 완만한 곡선부를 가지는 고리 또는 반달 모양으로 형성할 수 있으며, 꺾어지는 모서리부를 가지도록 형성할 수 있다. 이때, 채널부의 모서리 부분에는 반도체층을 제거하는 것이 바람직하며, 제3 부분 하부의 게이트 절연막을 일부 또는 전부를 식각할 수도 있다.

한편, 게이트 배선은 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 데이터 배선은 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하고, 보호막 및 게이트 절연막은 게이트 패드 및 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며, 이 경우 제2 및 제3 접촉 구멍을 통하여 게이트 패드 및 데이터 패드와 연결되어 화소 전극과 동일한 층으로 보조 게이트 패드 및 보조 데이터 패드를 형성하는 단계를 더 포함할 수 있다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

앞서 설명한 것처럼 본 발명에서는 동일한 층으로 만들어지는 소스 전극과 드레인 전극을 분리할 때 두 전극 사이에 두께가 얇은

갑광막 패턴을 형성함으로써 공정 수를 줄인다.

먼저, 도 1 내지 도 3을 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2 및 도 3은 각각 도 1에 도시한 박막 트랜지스터 기판을 II-II' 선 및 III-III' 선을 따라 잘라 도시한 단면도이다.

먼저, 절연 기판(10) 위에 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈늄(Ta) 등의 금속 또는 도전체로 만들어진 게이트 배선은 가로 방향으로 뻗어 있는 주사신호선 또는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가 받아 게이트선(22)으로 전달하는 게이트 패드(24) 및 게이트선(22)의 일부인 박막 트랜지스터의 게이트 전극(26), 그리고 게이트선(22)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

게이트 배선(22, 24, 26, 28)은 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질, 특히 화소 전극으로 사용되는 ITO와의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 왜냐하면, 외부와 전기적으로 연결되는 패드부를 보강하기 위하여 패드부는 배선용 물질과 화소 전극용 물질을 함께 형성하기 때문이다. 화소 전극을 ITO로 형성하는 경우에 ITO와 접촉 특성이 좋은 물질로는 크롬(Cr), 몰리브덴(Mo), 타타늄(Ti), 탄탈늄(Ta) 등이 있으며, Cr/Al(또는 Al 합금)의 이중층 또는 Al/Mo의 이중층을 그 예로 들 수 있다.

게이트 배선(22, 24, 26, 28) 위에는 질화규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.

게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

접촉층 패턴(55, 56, 58) 위에는 Mo 또는 MoW 합금, Cr, Al 또는 Al 합금, Ta 따위의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상신호를 인가 받는 데이터 패드(64), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 64, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(68)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(68) 또한 형성하지 않는다.

데이터 배선(62, 64, 65, 66, 68)도 게이트 배선(22, 24, 26, 28)과 마찬가지로 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다.

접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 64, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(68)과 동일하다.

한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 접촉층 패턴(55, 56, 57)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(68) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 64, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

데이터 배선(62, 64, 65, 66, 68) 위에는 보호막(70)이 형성되어 있으며, 보호막(70)은 드레인 전극(66), 데이터 패드(64) 및 유지 축전기용 도전체 패턴(68)을 드러내는 접촉구멍(71, 73, 74)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(72)을 가지고 있다. 보호막(70)은 질화규소나 아크릴계 따위의 유기 절연 물질로 이루어질 수 있다.

보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 ITO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(71)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(74)을 통하여 유지 축전기용 도전체 패턴(68)과도 연결되어 도전체 패턴(68)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(64) 위에는 접촉 구멍(72, 73)을 통하여 각각 이들과 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(86)가 형성되어 있으며, 이들은 패드(24, 64)와 외부 회로 장치와의 접착성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

여기에서는 화소 전극(82)의 재료의 예로 투명한 ITO를 들었으나, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여

도 무방하다.

그러면, 본 발명의 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 4a 내지 13c와 앞서의 도 1 내지 도 3을 참고로 하여 상세히 설명한다.

먼저, 도 4a 내지 4c에 도시한 바와 같이, 금속 따위의 도전체층을 스퍼터링 따위의 방법으로 1,000 Å 내지 3,000 Å의 두께로 증착하고 첫째 마스크를 이용하여 건식 또는 습식 식각하여, 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하는 게이트 배선을 형성한다.

다음, 도 5a 및 5b에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 금속 따위의 도전체층(60)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(110)을 1 µm 내지 2 µm의 두께로 도포한다.

그 후, 제2 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 6b 및 6c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/4 이하로 하는 것이 바람직하며, 제2 부분의 두께는 1.6 내지 1.9 µm 정도로 형성하고, 제1 부분의 두께는 4,000 Å 이하인 3,000 Å 정도로 형성하는 것이 좋다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, 여기에서는 양성 감광막을 사용하는 경우에 대하여 두 가지 방법을 제시한다.

그중 첫 번째는 도 7a 내지 7c에 도시한 것으로서 마스크에 해상도보다 작은 패턴, 예를 들면 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 두어 빛의 조사량을 조절하는 것이다.

먼저 도 7a에서와 같이 기판(10) 위에 증착되어 있는 박막(300) 위에 감광막(200)을 도포한다. 이 경우 감광막(200)의 두께는 통상적인 두께보다 두꺼운 1.6 내지 2 µm 정도로 형성하는 것이 좋으며, 이는 현상 후 남은 막을 조절하기 좋게 하기 위함이다.

다음, 도 7b에서와 같이, 슬릿(410)이 형성된 광 마스크(400)를 이용하여 빛을 조사한다. 이 때, 슬릿(410) 사이에 위치한 패턴(420)의 선폭이나 패턴(420) 사이의 간격, 즉 슬릿(410)의 폭이 노광기의 분해능보다 작다. 한편, 반투명막을 이용하는 경우에는 마스크(400)를 제작할 때 사용되는 크롬(Cr)층(도시하지 않음)을 완전히 제거하지 않고 일정 두께만큼 남겨 이 부분을 통하여 들어오는 빛의 조사량이 줄어들도록 한다. 또는, 불투명막인 크롬층 사이에 MgO, MoSi, a-Si 등으로 이루어진 다른 반투명막을 추가하여 빛의 조사량을 조절할 수 있다. 마스크에 대해서는 이후에 상세하게 설명한다.

이와 같은 마스크를 통하여 감광막(200)에 빛을 조사하면 빛에 노출된 감광막(200)의 표면으로부터 고분자들이 빛에 의하여 분해되며, 빛의 조사량이 늘어날수록 점점 아래에 위치한 고분자들도 분해된다. 빛에 직접 노출되는 부분, 예를 들면 도 7b의 가장 자리 부분에서 가장 하부의 고분자들이 완전히 분해될 때 노광을 마친다. 그러나, 빛에 직접 노출되는 부분에 비하여 슬릿(410)이 형성되어 있는 부분의 조사량이 적으므로 이 부분에서 감광막(200) 하부의 분자들은 분해되지 않은 상태이다. 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 함은 물론이다. 도 7b에서 도면 부호 210은 분해가 된 부분이고, 220은 분해되지 않은 부분이다.

이 감광막(210, 220)을 현상하면, 도 7c에 도시한 바와 같이 분자들이 분해되지 않은 부분(220)만이 남고, 빛이 적게 조사된 종양 부분에는 빛에 전혀 조사되지 않은 부분보다 작은 두께의 감광막이 남는다.

다음 방법은 감광막의 리플로우(reflow)를 이용하는 것이다. 이를 도 8a 내지 8c와 도 9a 내지 9c에 도시한 방법을 예로 들어 설명한다.

도 8a에 도시한 바와 같이, 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상의 마스크(400)를 사용하여 노광하면 통상의 경우와 마찬가지로 빛에 조사되어 고분자들이 분해된 부분(210)과 그렇지 않은 부분(220)이 만들어지고, 이를 현상하면 도 9b에 도시한 바와 같이 감광막이 아예 없거나 일정 두께로 있는 통상의 감광막 패턴이 만들어진다. 이러한 감광막 패턴을 리플로우시켜 남아 있는 감광막(220)이 감광막이 없는 부분으로 흘러내려 얇은 막을 형성함으로써 새로운 감광막 패턴(250)이 형성된다.

그런데, 이와 같이 리플로우를 하더라도 두 감광막 패턴(220) 사이의 부분이 모두 덮이지 않을 수 있다. 이 경우에는 도 9a와 같이 노광기에 사용되는 광원의 분해능보다 작은 크기의 불투명한 패턴(430)을 마스크(400)에 형성한다. 그러면 도 9b에 도시한 바와 같이 현상 후에는 두께가 두꺼운 부분(220)의 사이에 두께가 얇은 작은 부분(230)이 형성된다. 이를 리플로우시키면 도 9c에서와 같이 두께가 두꺼운 부분 사이에 얇은 부분이 있는 감광막 패턴(240)이 형성된다.

이러한 방법을 통하여 위치에 따라 두께가 서로 다른 감광막 패턴이 만들어진다.

이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

먼저, 도 10a 및 10b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건 하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건 하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(60)이 Cr인 습식 식각의 경우에는 식각액으로 CeNHO<sub>3</sub>를 사용할 수 있고, 도전체층(60)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는 CF<sub>4</sub>와 HCl의 혼합 기체나 CF<sub>4</sub>와 O<sub>2</sub>의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 도 10a 및 도 10b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 68)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

이어, 도 11a 및 11b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건 하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF<sub>6</sub>과 HCl의 혼합 기체나, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면, 도 11a 및 11b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(68) 하부의 중간층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다. 애싱하는 방법으로는 플라스마 기체를 이용하거나 마이크로파(microwave)를 이용할 수 있으며, 주로 사용하는 조성물은 산소를 들 수 있다.

다음, 도 12a 및 12b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건 하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(67)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF<sub>4</sub>와 HCl의 혼합 기체나 CF<sub>4</sub>와 O<sub>2</sub>의 혼합 기체를 들 수 있으며, CF<sub>4</sub>와 O<sub>2</sub>를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 12b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

또한, 데이터 배선을 건식 식각이 가능한 물질로 형성하는 경우에는 감광막 패턴의 두께를 조절하여 앞에서 설명한 바와 같이 여러번의 중간 공정을 거치지 않고 한 번의 식각 공정으로 접촉층 패턴, 반도체층 패턴, 데이터 배선을 형성할 수 있다. 즉, B 부분의 금속층(60), 접촉층(50) 및 반도체층(40)을 식각하는 동안 C 부분에서는 감광막 패턴(114)과 그 하부의 접촉층(50)을 식각하고 A 부분에서는 감광막 패턴(112)의 일부만 식각하는 조건을 선택하여 한 번의 공정으로 형성할 수도 있다.

앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 13a 내지 13c에 도시한 바와 같이 질화규소를 CVD 방법으로 증착하거나 유기 절연 물질을 스판 코팅하여 2,000 Å 이상의 두께를 가지는 보호막(70)을 형성한다. 이어 제3 마스크를 이용하여 보호막(70)을 게이트 절연막(30)과 함께 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(64) 및 유지 축전기용 도전체 패턴(68)을 각각 드러내는 접촉 구멍(71, 72, 73, 74)을 형성한다.

마지막으로, 도 1 내지 도 3에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 ITO층을 증착하고 제4 마스크를 사용하여 식각하여 화소 전극(82), 보조 게이트 패드(84) 및 보조 데이터 패드(86)를 형성한다.

이와 같이 본 실시예에서는 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)을 분리하고 반도체 패턴(42)의 채널부(C)를 완성한다.

한편, 이러한 본 발명의 실시예와 다르게 채널부(C)는 고리 모양 또는 반달 모양을 가질 수도 있다. 제 2 실시예를 통하여 상세하게 설명하기로 한다.

도 14는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이다.

도 14에서 보는 바와 같이, 대부분의 구조는 제1 실시예와 동일하다.

하지만, 소스 전극(65) 및 드레인 전극(66) 사이의 채널부(C)가 반달 모양 또는 고리 모양으로 형성되어 있다. 이러한 구조는 좁은 면적에서도 채널부의 폭을 넓게 가질 수 있다.

이러한 본 발명의 제2 실시예에 박막 트랜지스터 기판의 단면 구조 및 그에 따른 제조 방법은 대부분 제1 실시예와 동일하므로 상세한 설명은 생략하기로 한다.

하지만, 채널부(C)가 직선 또는 사각형 모양 또는 완만한 곡선부를 가지는 반달 또는 고리 모양이 아니고 꺾어지는 모서리 부분을 가지는 경우에는 노광시 모서리 부분에서 발생하는 빛의 회절 현상으로 인하여 채널부(C)에 조사되는 빛의 세기를 균일하게 조절할 수 없어 채널부(C)의 감광막 패턴(114)을 균일한 두께로 남기기 어렵다. 즉, 채널부(C)의 길이는 소스 전극(65)과 드레인 전극(66)이 일정한 간격으로 마주하는 변의 길이로 결정되는데, 일정한 면적 내에서 채널부(C)의 길이를 길게 형성하기 위해서는 소스 전극(65)과 드레인 전극(66)이 마주하는 변의 모양을 제2 실시예와 같이 고리 또는 반달 모양으로 형성할 수 있다. 하지만, 채널부(C)를 모서리를 가지는 'ㄷ'자 모양으로 형성하는 경우에는 채널부(C) 중 급격하게 꺾이는 모서리 부분에서는 빛의 회절 현상 등으로 인하여 노광시 조사되는 빛의 양이 채널부(C)의 다른 부분과 달라지게 된다. 이로 인하여, 현상한 후에 채널부(C)의 감광막 패턴(114)이 균일한 두께로 형성되지 않게 된다. 이때, 감광막 패턴(114)이 채널부(C)의 다른 부분보다 얇게 형성되는 경우에는 반도체 패턴이 없는 박막 트랜지스터가 형성될 수 있으며, 감광막 패턴(114)이 채널부(C)의 다른 부분보다 두껍게 남는 경우에는 소스 전극(65)과 드레인 전극(66) 또는 그 하부의 접촉층 패턴(55, 56)이 완전히 분리되지 않아 단락된 박막 트랜지스터가 만들어 질 수 있다. 따라서, 채널부(C) 중에서 꺾이는 부분에는 감광막 패턴을 제1 실시예의 B 부분과 같이 남기지 않도록 하여 반도체 패턴을 제거하는 것이 바람직하다. 다음의 제3 실시예를 통하여 상세하게 설명하기로 한다.

그러면, 본 발명의 제3 실시예에 따른 액정 표시 장치 및 그 제조 방법에 대하여 도 15 내지 도 17을 참고로 하여 설명한다.

도 15는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 16는 도 15에서 T 부분을 상세하게 도시한 확대도이고, 도 17은 도 16에서 XVII-XVII' 선을 따라 절단한 단면도이다.

도 15 및 도 17에 도시한 바와 같이, 본 실시예에 따른 박막 트랜지스터 기판의 구조는 제1 실시예와 유사하다. 단, 소스 전극(65)이 'ㄷ'자 모양으로 형성되어 게이트 전극(26)을 중심으로 상부 및 하부에 데이터선(60)의 분지로 뻗어 있으며, 드레인 전극(66)은 'ㄷ'자 모양인 소스 전극(65)의 개구부 안쪽으로 연장되어 있다는 점과 채널부(C)가 꺾어지는 부분(D)에서 반도체 패턴(42)이 게이트 절연막(30)을 드러내는 개구부(45)를 가지고 있다는 점이 다르다. 여기에서, 개구부(45)에는 반도체 패턴이 완전히 제거된 상태이다.

그러면, 본 발명의 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 18과 앞서의 도 15 내지 도 17을 참고로 하여 상세히 설명한다. 도 18은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 공정을 도시한 도면으로서, 도 16에서 XVII-XVII' 선을 따라 절단한 단면도이다.

본 발명의 제3 실시예에 따른 제조 방법 대부분은 제1 실시예의 제조 방법과 유사하다.

다르게는, 도 18에서와 같이, 감광막(110)을 도포하고 제2 마스크를 이용한 사진 공정으로 감광막 패턴(112, 114)을 형성하는데, 박막 트랜지스터의 채널부(C) 중에서 꺾어지는 부분(D)에는 기타 부분(B)과 같이 감광막을 모두 완전히 제거한다. 이는 앞에서 설명한 바와 같이, 채널부(C)가 꺾어지는 부분(D)에는 노광 공정에서 빛의 회절 현상으로 인하여 채널부(C)의 다른 부분과 조사되는 빛의 세기가 달라 소스 및 드레인 전극(65, 66)과 그 하부의 접촉층 패턴(55, 56)이 완전히 분리되지 않거나 채널부(C)의 반도체 패턴(42)을 균일한 두께로 형성할 수 없어 B 부분과 같이 빛의 조사량을 충분히 감광막을 제거하여 반도체 패턴을 남기지 않는 것이 바람직하기 때문이다. 여기서, 데이터 배선부(A)에 위치한 감광막 패턴의 제2 부분(112)은 'ㄷ'자 모양의 소스 전극(65)을 포함하는 데이터 배선(62, 64, 65, 66, 68)의 모양을 가진다.

이어, 제1 실시예와 유사하게, 기타 부분(B) 및 채널부(C) 중 꺾어지는 부분(D)의 노출된 도전체층(60)을 식각한 후, 그 하부의 중간층(50) 및 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각으로 제거하고, 소스 전극(65)과 드레인 전극(66)을 분리하고 소스 전극(65)과 드레인 전극(66) 사이의 반도체 패턴(42)을 드러낸다.

이렇게, 채널부(C) 중에서 꺾어지는 모서리 부분에 반도체층을 제거하면, 채널부(C)의 반도체 패턴(42)을 균일한 두께로 형성할 수 있다.

본 실시예에서는 소스 전극(65)을 모서리를 가지도록 형성하였지만, 드레인 전극(66)을 형성할 수 있다. 예외적으로 채널부(C)에 모서리 부분(D)이 형성되지 않도록 제2 실시예와 같이 원만한 곡선부를 가지는 "U"자 또는 "J"자 모양으로 원만하게 형성하여 채널부(C)를 형성하는 경우에는 채널부(C)에 조사되는 빛의 세기를 균일하게 조절하기 용이하므로 제3 실시예와 같이 소스 전극(65)과 드레인 전극(66) 사이의 반도체층 일부를 제거하지 않을 수도 있다.

한편, 제1 실시예와 같이, B 부분에서 도전체층(60), 중간층(50) 및 반도체층(40)만은 식각하고 게이트 절연막(30)은 남겼지만, 게이트 절연막(30)의 일부 또는 전부를 식각할 수도 있다. 제4 실시예를 통하여 B 부분에서 게이트 절연막(30)까지 제거하는 제조 방법에 대하여 상세하게 설명하기로 한다.

도 19 및 도 20는 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 도면으로서, 각각 도 1에서 II-II' 및 III-III' 선을 따라 절단한 단면이다.

대부분의 구조는 제1 실시예와 유사하다.

하지만, 도 19 및 도 20에서 보는 바와 같이, 반도체층 패턴(42, 48) 하부에만 게이트 절연막 패턴(32, 38)이 남아 있으며, 보호막(70)이 게이트 절연막 패턴(32, 38)으로 가리지 않는 기판(10) 및 게이트 배선(22, 24, 26, 28)을 덮고 있다.

그러면, 본 발명의 제4 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 21a 내지 도 21b와 앞서의 도 19 내지 도 20을 참고로 하여 상세히 설명한다. 도 21a 및 도 21b는 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 공정 순서에 따라 도시한 도면으로서, 도 21a는 도 6a에서 Vlb-Vlb' 선을 따라 잘라 도시한 단면도이고, 도 21b는 도 6a에서 Vlc-Vlc' 선을 따라 잘라 도시한 단면도이다. 여기서, 도 21a 및 도 21b는 도 10a 및 도 10b의 다음 단계를 도시한 단면이다.

본 발명의 제4 실시예에 따른 제조 방법에서 도 10a 내지 도 10b에서 보는 바와 같이, B 부분에 노출되어 있는 도전체층(10)을 제거하여 그 하부의 중간층(50)을 노출시키는 공정까지는 제1 실시예의 제조 방법과 동일하다.

다르게는, 도 21a 및 도 21b에서 보는 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40) 및 게이트 절연막(30)을 감광막의 제1 부분(114)과 함께 동시에 제거하여, 채널부(C)의 소스/드레인용 도전체 패턴(67)을 드러내면서, 게이트 절연막 패턴(32, 38) 및 반도체층 패턴(42, 48)을 형성한다.

이어, 제1 실시예와 동일하게 소스 전극(65)과 드레인 전극(66)을 분리하면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)을 완성하고 질화 규소 또는 유기 절연 물질로 이루어져 있으며, 드레인 전극(66), 게이트 패드(24), 데이터 패드(64) 및 유기 접촉기용 도전체 패턴(68)을 각각 드러내는 접촉 구멍(71, 72, 73, 74)을 가지는 보호막(70)을 형성하고 ITO의 화소 전극(82), 보조 게이트 패드(84) 및 보조 데이터 패드(86)를 형성하여 도 18 및 도 19에서 보는 바와 같이 액정 표시 장치용 박막 트랜지스터 기판을 완성한다.

다음은 앞에서 언급한 바와 같이, 본 발명의 실시예에 따른 제조 방법에서 사용한 부분적으로 다른 두께를 가지는 감광막 패턴을 형성하기 위해 사용한 두 번째 마스크의 구조, 특히 미세 패턴이 형성되어 있는 광마스크의 채널부(C) 구조에 대하여 상세하게 설명하기로 한다.

도 22a 내지 도 22c는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 사용되는 두 번째 광마스크의 미세 패턴 구조를 도시한 배치도로서, 직선 또는 사각형 모양의 채널부(C)를 형성하기 위한 광마스크의 도면이다. 여기서, 슬릿 패턴을 중심으로 양쪽에는 소스 및 드레인용 마스크 패턴이 형성되어 있으며, 슬릿 패턴이 형성된 부분은 채널부(C)로 설명하기로 한다.

광마스크를 제조하는 방법으로는 전자빔(electron beam)을 사용하거나 단파장을 가지는 레이저(laser)를 사용한다. 이때, 광마스크의 미세 패턴 사이의 간격 또는 미세 패턴의 폭은 정밀도가 높은  $1\mu m$  이상으로 형성하는 것이 바람직하다. 또한, 노광시 빛의 투과량을 조절할 수 있는 미세 패턴 사이의 간격 및 미세 패턴의 폭은 노광기의 분해능보다 작아야 하며, 바람직하게는 반 이하인 것이 바람직하다. 따라서, 노광기의 분해능이  $3\mu m$  내지  $4\mu m$ 인 경우에는 미세 패턴의 간격 및 미세 패턴의 폭은  $1\mu m$  내지  $2\mu m$ 인 것이 바람직하다.

이때, 광마스크(400)의 채널부(C)에는 도 22a에서 보는 바와 같이 하나 이상의 슬릿(slits) 패턴(410)을 형성할 수 있으며, 도 22b에서 보는 바와 같이 광마스크(400)의 채널부(C)를 슬릿 패턴으로 형성할 수도 있으며, 도 22c에서 보는 바와 같이, 채널부(C)의 중앙에 채널부(C)의 모양으로 막대 모양의 바(bar)(410)를 이용하여 슬릿 패턴을 형성할 수 있다.

그러나, 도 22a 내지 도 22c에서 제시한 마스크를 이용하여 감광막을 노광하여  $4,000\text{~}2,000\text{ \AA}$  정도의 두께를 가지는 감광막 패턴을 형성하는 경우에는 감광막 패턴의 두께가 불균일하게 형성될 수 있다.

도 23a 및 도 23b는 도 22a 내지 도 22c의 마스크를 이용하여 형성된 감광막 패턴을 도시한 도면으로서, 도 23b는 도 23a에서 XXIIb-XXIIIb' 선을 따라 절단한 단면도이다.

도 23a 및 도 23b에서 보는 바와 같이, 채널부(C) 중앙부에는 감광막 패턴(100)이 균일하게 남지만 채널부(C)의 가장자리 부분은 중앙부보다 두껍게 형성된다. 이는 채널부(C)의 가장자리 경계 부분에서는 빛의 희석 조건이 달라져 감광막이 채널부(C)의 중앙부보다 덜 노광되기 때문이며, 이를 경계 조건(boundary condition)이라 한다.

따라서, 채널부(C)의 가장자리 부분에서 경계 조건을 제거하고 본 발명의 실시예에서와 같이 두 번째 마스크를 사전 식각 공정의 노광 공정에서 두께가 다른 세 부분을 가지는 감광막 패턴의 각 부분 두께를 균일하게 형성하기 위해서는, 특히 중간 두께를 가지는 감광막 패턴(제1 실시예의 "114" 또는 도 23b의 "100" 참조)의 두께를 균일하게 하기 위해서는 광마스크의 구조는 빛의 대 부분을 투과시키는 제1 영역, 빛의 대부분을 차단하는 제2 영역, 빛의 투과량을 조절할 수 있는 제3 영역과, 제3 영역과 제1 영역 사이에 위치하며 이들 사이의 투과량을 가지는 경계 영역인 제4 영역을 가지는 것이 바람직하다. 이때, 제3 및 제4 영역과 같이 빛의 투과량을 조절하기 위해서는 앞에서 설명한 바와 같이 광마스크에 형성된 슬릿 혹은 모자이크 형태를 가지는 미세 패턴 형성되어 미세 패턴 사이의 개구부 크기를 노광기의 분해능 이하로 하거나, 개구부의 크기를 노광기의 분해능 이하로 하면서 미세 패턴의 폭도 노광기의 분해능 이하로 하는 경우와 미세 패턴 대신 제2 영역보다 높은 투과율을 가지는 반투명막을 제3 및 제4 영역에 형성하는 경우가 있으며, 두 가지를 조합하는 경우가 있을 수 있다. 이는, 광마스크와 액정 표시 장치용 박막 트랜지스터 기판 사이의 배율이 1:1로 사용되는 노광기에 있어서 노광기가 3~4 $\mu\text{m}$ 의 분해능을 가지는 경우에 앞에서 설명한 바와 같이 미세 패턴의 폭 및 이들 사이의 간격은 3~4 $\mu\text{m}$  이하인 것을 의미한다. 물론, 분해능 이하의 미세 패턴 폭 및 이들 사이의 간격을 조절하여 투과율을 조절할 수 있어 감광막 패턴의 두께를 또한 조절할 수 있다.

전자의 경우는 도 24a 내지 도 26c에 상세하게 도시되어 있으며, 후자의 경우는 도 27a 내지 도 27e에 상세하게 도시되어 있다.

도 24a 내지 도 24c는 본 발명의 실시예에 따른 개선된 광마스크의 구조를 도시한 배치도이다.

도 24a에서 보는 바와 같이, 광마스크(400)의 채널부(C)의 가장자리부의 슬릿 패턴(412)이 중앙부의 슬릿 패턴(411)보다 길게 형성되어 있으며, 슬릿 패턴(412)의 바깥쪽에는 슬릿 패턴(413)은 막대 모양으로 형성되어 있다. 이는 채널부(C)의 가장자리 경계 부분에 빛 투과량을 증가시키기 위함이다. 이때, 막대 모양의 슬릿 패턴(413)의 폭(L3)은 중앙부의 슬릿 패턴(411)의 폭(L1)보다 좁은 것이 바람직하며, 더욱 바람직하게는 80% 정도로 형성한다.

도 24b 및 도 24c에서는 광마스크(400)는 도 22b 및 도 22c와 유사한 구조를 가지고 있으나, 채널부(C)의 중앙부 간격(L1)보다 가장자리부 간격(L2)이 길게 또는 넓게 형성되어 있다.

도 25a 및 도 25b는 도 24a 내지 도 24c의 마스크를 이용하여 형성된 감광막 패턴을 도시한 도면으로서, 도 25b는 도 25a에서 XXVb-XXVb' 선을 따라 절단한 단면도이다.

도 24a 내지 도 24b에서 보는 바와 같이, 채널부(C)의 가장자리 부분에 슬릿 패턴을 길게 형성하거나 슬릿 패턴의 폭을 길게 형성하여 감광막을 노광하면, 도 25a 내지 도 25b에서 보는 바와 같이, 균일한 두께를 가지는 감광막 패턴(110)을 형성할 수 있다.

도 26a 내지 도 26c는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 채널부를 고리 모양으로 형성하기 위한 마스크의 미세 패턴 구조를 도시한 배치도이다. 여기서도, 채널부(C)를 중심으로 마주하는 양쪽에는 소스 및 드레인용 마스크 패턴이 형성되어 있다.

도 26a 내지 도 26c에서 보는 바와 같이, 채널부(C)는 고리 또는 반달 모양으로 형성되어 있다. 또한, 경계 조건을 제거하기 위하여 채널부(C)가 끝나는 경계 부분에는 빛 투과량을 증가시키기 위해 슬릿 패턴의 간격을 넓히거나 막대 모양의 슬릿 패턴이 형성되어 있다.

도 26a는 도 24c에 도시한 바와 같이 채널부(C)에 채널부(C)의 모양을 따라 막대 모양의 바(410)가 형성되어 있으며, 채널부(C)가 끝나는 경계 부분에는 빛의 투과량을 증가시키기 위해 마스크(400)에 오목부(420)를 추가되어 채널부(C)가 길게 형성되어 있다.

도 26b는 도 24a에서 보는 바와 같이 광마스크(400)의 채널부(C)에 다수의 슬릿 패턴(411)이 형성되어 있다. 여기서도, 채널부(C)가 끝나는 가장자리부에는 중앙부보다 넓게 또는 길게 형성되어 있으며, 채널부(C)의 양끝에는 막대 모양의 슬릿 패턴(411)보다 작은 슬릿 패턴(413)이 형성되어 있다.

도 26c는 도 26b와 유사하지만, 채널부(C)의 모서리 부분을 완만하게 형성하여 감광막 패턴을 균일한 두께로 형성하기 위해 제안된 구조이다.

도 27a 내지 도 27e는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 반투명막을 가지는 두 번째 마스크의 구조를 도시한 도면으로서, 도 27a, 도 27c, 도 27d 및 도 27e는 다양한 두 번째 마스크의 구조를 도시한 배치도이고, 도 27b는 도 27a에서 XXVIIb-XXVIIb' 선을 따라 절단한 단면도이다.

도 27a 및 도 27b에서 보는 바와 같이, 마스크용 기판(500)의 상부 MgO, a-Si, MoSi 등으로 이루어진 반투명막(510)이 형성되어 있으며, 채널부(C)의 반투명막(510)을 드러내는 개구부를 가지며 크롬 등으로 이루어진 불투명 패턴(520)이 형성되어 있다. 이때, 반투명막(510)이 끝나는 채널부(C)의 양단에는 경계 조건을 제거하기 위하여 막대 모양의 반투명막(511)이 추가로 형성되어 있다. 이때, 미세한 반투명막(511)의 폭은 노광기의 분해능의 1/2보다 작은 것이 바람직하다.

여기서도, 채널부(C)의 경계 영역(E)인 가장자리부에서 빛의 투과량을 증가시키기 위해 도 27c 내지 도 27e에서 보는 바와 같이 반투명막(510, 520) 또는 마스크용 기판(500)의 구조를 다양하게 변화시킬 수 있다. 도 27c는 경계 영역(E)의 반투명막(520)은

다른 부분(510)보다 좁게 형성한 경우이고, 도 27d는 경계 영역(E)에서 마스크용 기판(500)의 간격을 넓게 형성하고 막대 모양의 반투명막(520)을 형성한 경우이고, 도 27e는 경계 영역(E)에서 마스크용 기판(500)의 간격을 넓게 형성하고 경계 영역(E)에서 반투명막(520)을 다른 부분(510)보다 넓게 형성한 경우이다. 물론 채널부(C)와 반투명막(510, 520)을 다른 다양한 모양으로도 형성할 수 있다.

이러한 도면들을 통하여 알 수 있듯이 균일한 다른 두께의 세 부분을 가지는 감광막 패턴을 형성하기 위해서는 광마스크는 다른 투과율을 가지는 4개의 영역을 가져야 함을 알 수 있다. 즉, 광마스크는 노광기의 분해능 이상으로 차광층 패턴이 형성되어 있는 제1 영역, 개구부가 노광기의 분해능 이상의 크기로 형성되어 있는 제2 영역, 분해능 이하의 미세 패턴이 형성되어 있어 중간 정도의 빛 투과량을 가지는 중간 영역인 제3 영역 및 제2 및 제3 영역 사이에 위치하는 경계 영역이며 제3 영역의 투과량보다 크고 분해능보다 작은 미세 패턴이 형성되어 있는 제4 영역으로 이루어져야 한다.

여기서는, 사용하는 노광기의 분해능이  $3\mu m$ 인 경우를 고려하여 슬릿 패턴의 폭 및 이들의 간격을  $1\mu m$  정도로 설계한 것이다.

도 24a는 경계 영역에서 슬리 패턴(412, 413) 사이에 형성된 개구부의 크기를 넓게 하여 빛의 투과율을 증가시킨 경우이며, 도 24b 및 도 24c는 경계 영역에서 슬릿 패턴(400) 사이의 크기를 분해능 이하로 하되 중간 영역보다 경계 영역을 넓게 형성하여 경계 영역의 빛 투과율을 증가시킨 경우이고, 도 26a 내지 도 26c는 채널부(C)를 다양한 형태로 바꾸면서 앞에서 설명한 방법들을 이용하여 광마스크를 설계한 애이다.

다음은, 채널부를 완만한 곡선부를 가지는 고리 또는 반달 모양으로 형성하는 경우에 감광막 패턴의 두께를 균일하게 형성하기 위해 광마스크에 형성된 슬릿 패턴의 간격 또는 폭의 디자인 률에 대하여 상세하게 설명하기로 한다.

도 28 및 도 29는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서 사용하는 두 번째 마스크에서 채널부의 구조만을 도시한 배지도이다.

도 28은 슬릿 패턴(410)이 채널부(C)의 모양을 따라 막대모양으로 형성된 구조로 도 26a와 유사하며, 도 29는 채널부(C)를 슬릿 패턴으로 형성한 경우이다.

하지만, 도 26a와 달리 채널부(C)가  $90^\circ$  정도로 꺽어지는 모서리 부분을 없애고, 구부러지는 부분(D)을  $45^\circ$  정도로 완만한 곡선부를 가지도록 채널부(C)가 "U"자 또는 "J"자 모양으로 형성하였다. 여기서도, 채널부(C)가 끝나는 부분(E)에는 광 투과량을 증가시켜 감광막 패턴의 두께를 균일하게 형성하기 위하여 다른 부분보다 채널부(C)가 길게 또는 넓게 형성되어 있다.

여기서, 도 28에서 보는 바와 같이, 구부러지는 부분(D)에서 슬릿 패턴(410)의 폭이나, 슬릿 패턴(410)과 소스 및 드레인용 마스크 패턴(400) 사이의 간격은 D부분을 제외한 부분보다 빛의 투과량을 증가시키기 위해 넓게 형성하는 것이 좋으며, 채널부(C)가 끝나는 경계 영역(E)에서는 다른 부분보다 넓게 형성하는 것이 바람직하다. 여기서, D 부분의 디자인 률은  $1.41 \pm 0.05$  내지  $1.24 \pm 0.05 \mu m$  범위에서 설계하는 것이 바람직하며, 직선으로 형성된 부분에서의 디자인 률은  $1.25 \pm 0.05 \mu m$  범위에서 설계하는 것이 바람직하다. 이때 노광기는 분해능  $3\mu m$ 를 가지는 렌즈형 노광기이다.

또한, 도 29에서 보는 바와 같이, E 부분의 마스크 패턴(400)의 간격(L1)은  $1.5 \sim 2.5 \mu m$  정도의 범위에서 형성하고 다른 부분의 간격(L2)보다, 바람직하게는  $0.1 \sim 0.25 \mu m$ , 넓게 형성하는 것이 좋다. 물론 도면에서 보는 바와 같이 E 부분이 아닌 다른 부분에도 부분적으로 빛의 투과율을 증가시켜 감광막의 두께를 균일하게 하기 위하여 L2의 폭을 가지도록 형성할 수 있다.

앞에서 설명한 본 발명의 실시예에 따른 제조 방법은 화소 전극만이 박막 트랜지스터 기판에 형성되어 있는 경우를 들어 설명하였으나, 액정 분자를 구동하기 위한 두 전극인 공통 전극과 화소 전극이 모두 박막 트랜지스터 기판에 형성하는 경우에도 적용할 수 있다. 이때, 공통 전극은 게이트 배선과 함께 형성할 수 있으며, 화소 전극은 데이터 배선과 함께 형성할 수 있다.

### 발명의 효과

이와 같이, 본 발명에 따르면 액정 표시 장치용 박막 트랜지스터 기판을 제조할 때 마스크의 수를 효과적으로 줄이면서도 게이트 패드 및 데이터 패드를 보호할 수 있다. 또한, 채널부 중에서 모서리가 있는 부분에는 감광막 패턴을 완전히 제거하거나 완만한 곡선부를 가지는 채널부를 형성하거나 채널부가 끝나는 가장자리 경계 부분에 빛의 투과량을 증가시킴으로써 소스 및 드레인 전극과 그 하부의 접촉층 패턴을 완전히 분리하면서 채널부의 반도체 패턴을 균일하게 형성할 수 있다.

### (57) 청구의 범위

#### 청구항1

절연 기판 위에 게이트선 및 이와 연결된 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 반도체 패턴을 형성하는 단계,

상기 반도체 패턴 위에 저항성 접촉층 패턴을 형성하는 단계,

상기 접촉층 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스 전극 및 드레인 전극과, 상기 소스 전극과 연결된 데이터선을 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선을 덮는 보호막 패턴을 형성하는 단계,

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

를 포함하며,

상기 소스 및 드레인 전극의 분리는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 상기 감광막 패턴은 상기 소스 전극 및 드레인 전극 사이의 채널부에서 모서리 부분을 제외한 부분에 위치하며 제1 두께를 가지는 제1 부분과 상기 제1 두께보다 두꺼운 제2 두께를 가지는 제2 부분 및 상기 모서리 부분을 포함하고 상기 제1 및 제2 부분을 제외한 부분에 위치하며 두께가 없거나 상기 제1 두께보다 얇은 두께를 가지는 제3 부분을 포함하는 박막 트랜ジ스터 기판의 제조 방법.

## 청구항2

제1항에서,

상기 감광막 패턴은 양성 감광막이며, 상기 사진 식각 공정에 사용되는 마스크는 빛의 일부만이 투과되는 첫째 부분, 상기 첫째 부분보다 낮은 빛의 투과량을 가지는 둘째 부분 및 상기 첫째 부분보다 높은 빛의 투과량을 가지는 셋째 부분을 포함하며, 상기 각 부분은 노광 과정에서 상기 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응하도록 정렬되는 표시 장치용 박막 트랜ジ스터 기판의 제조 방법.

## 청구항3

제2항에서,

상기 마스크의 첫째 부분은 상기 노광 단계에서 사용되는 광원의 분해능보다 크기가 작은 패턴을 포함하는 표시 장치용 박막 트랜ジ스터 기판의 제조 방법.

## 청구항4

제2항에서,

상기 마스크는 상기 첫째 부분보다 높고 상기 셋째 부분보다 낮은 빛 투과율을 가지며, 상기 첫째 부분과 상기 세째 부분 사이에 위치하는 넷째 부분을 더 포함하고 상기 노광 단계에서 사용되는 광원의 분해능보다 크기가 작은 패턴을 포함하는 표시 장치용 박막 트랜ジ스터 기판의 제조 방법.

## 청구항5

제4항에서,

상기 마스크의 첫째 및 넷째 부분은 반투명막을 포함하는 표시 장치용 박막 트랜ジ스터 기판의 제조 방법.

## 청구항6

제1항에서,

상기 데이터 배선과 상기 접촉층 패턴 및 상기 반도체 패턴을 하나의 마스크를 사용하여 형성하는 표시 장치용 박막 트랜ジ스터 기판의 제조 방법.

## 청구항7

제6항에서,

상기 게이트 절연막, 상기 반도체 패턴, 상기 접촉층 패턴 및 상기 데이터 배선의 형성 단계는,

게이트 절연막, 반도체층, 접촉층 및 도전층을 증착하는 단계,

상기 도전층 위에 감광막을 도포하는 단계,

상기 감광막을 상기 마스크를 통하여 노광하는 단계,

상기 감광막을 현상하여 상기 제2 부분이 상기 데이터 배선의 상부에 위치하도록 상기 감광막 패턴을 형성하는 단계,

상기 제3 부분 아래의 상기 도전층과 그 하부의 접촉층 및 반도체층, 상기 제1 부분과 그 아래의 상기 도전층 및 접촉층, 그리고 상기 제2 부분의 일부 두께를 식각하여 상기 도전층, 상기 접촉층, 상기 반도체층으로 각각 이루어진 상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체 패턴을 형성하는 단계,

상기 감광막 패턴을 제거하는 단계

를 포함하는 표시 장치용 박막 트랜ジ스터 기판의 제조 방법.

## 청구항8

제7항에서,

상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체 패턴의 형성 단계는,

상기 제3 부분 아래의 상기 도전층을 습식 또는 건식 식각하여 상기 접촉층을 노출시키는 단계,

상기 제3 부분 아래의 접촉층 및 그 아래의 상기 반도체층을 상기 제1 부분과 함께 건식 식각하여 상기 제3 부분 아래의 상기 게이트 절연막과 상기 제1 부분 아래의 상기 도전층을 노출시킴과 동시에 상기 반도체층으로 이루어진 상기 반도체 패턴을 완성하는 단계,

상기 제1 부분 아래의 상기 도전층과 그 아래의 상기 접촉층을 식각하여 제거함으로써 상기 데이터 배선과 상기 접촉층 패턴을 완성하는 단계

를 포함하는 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항9

제1항에서,

상기 게이트 배선은 상기 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 상기 데이터 배선은 상기 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며,

상기 보호막 패턴 및 상기 게이트 절연막은 상기 게이트 패드 및 상기 데이터 패드를 각각 노출시키고 있으며,

상기 게이트 패드 및 상기 데이터 패드와 연결되며 상기 화소 전극과 동일한 층으로 보조 게이트 패드 및 보조 데이터 패드를 형성하는 단계를 더 포함하는 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항10

절연 기판 위에 게이트선 및 이와 연결된 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 반도체 패턴을 형성하는 단계,

상기 반도체 패턴 위에 저항성 접촉층 패턴을 형성하는 단계,

상기 접촉층 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스 전극 및 드레인 전극과, 상기 소스 전극과 연결된 데이터선을 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선을 덮는 보호막 패턴을 형성하는 단계,

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

를 포함하며,

상기 소스 및 드레인 전극의 분리는 마스크를 이용한 사진 식각 공정을 통하여 이루어지며, 상기 마스크는 제1 영역, 상기 제1 영역보다 작은 빛 투과량을 가지며 상기 소스 전극 및 드레인 전극 사이의 채널부 중앙부에 대응하는 부분에 위치하는 제2 영역, 상기 제1 및 상기 제2 영역 사이의 빛 투과량을 가지며 상기 채널부가 끝나는 가장자리부의 경계 영역에 위치하는 제3 영역 및 상기 제2 영역보다 낮은 빛 투과율을 가지며 상기 데이터 배선에 대응하는 부분에 위치하는 제4 영역을 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항11

제10항에서,

상기 제2 및 제3 영역에는 노광 단계에서 사용되는 광원의 분해능보다 폭 또는 간격이 작은 슬릿 패턴이 형성되어 있는 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항12

제11항에서,

상기 3 영역의 슬릿 패턴은 상기 제2 영역의 슬릿 패턴 폭보다 작은 막대 모양으로 형성되어 있는 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항13

제12항에서,

상기 3 영역의 상기 채널부 길이는 상기 제2 영역의 상기 채널부 길이보다 넓은 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항14

제11항에서,

상기 채널부는 직선 또는 사각형 또는 완만한 곡선부를 가지는 고리 또는 반달 모양으로 형성하는 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항15

기판,

상기 기판 위에 형성되어 있으며, 가로 방향으로 뻗어 있는 주사 신호를 전달되는 게이트선과 상기 게이트선의 일부인 박막 트랜지스터의 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮고 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있으며, 반도체로 이루어진 반도체 패턴,

상기 반도체 패턴 위에 형성되어 있으며, 세로 방향으로 뻗어 있는 데이터선, 상기 데이터선의 분지인 상기 박막 트랜지스터의 소스 전극, 상기 소스 전극과 분리되어 상기 게이트 전극을 중심으로 상기 소스 전극과 마주하는 상기 박막 트랜지스터의 드레인 전극을 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있으며, 상기 드레인 전극을 드러내는 제1 접촉 구멍을 가지는 보호막 패턴, 상기 보호막 패턴 위에 형성되어 있으며, 상기 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며, 상기 소스 전극과 상기 드레인 전극 사이의 채널부는 꺾어지는 모서리 부분을 가지고 있으며, 상기 모서리 부분에는 상기 반도체 패턴이 제거되어 있는 박막 트랜지스터 기판.

#### 청구항16

제15항에서,

상기 게이트 배선은 상기 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 상기 데이터 배선은 상기 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며,

상기 보호막 패턴은 및 상기 게이트 절연막은 상기 게이트 패드 및 상기 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며,

상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 연결되며 상기 화소 전극과 동일한 층으로 형성되어 있는 보조 게이트 패드 및 보조 데이터 패드를 더 포함하는 박막 트랜지스터 기판.

#### 청구항17

제16항에서,

상기 화소 전극은 투명한 도전성 물질인 ITO(indium tin oxide)로 이루어진 박막 트랜지스터 기판.

#### 청구항18

제15항에서,

상기 화소 전극은 불투명한 도전성 물질로 이루어진 박막 트랜지스터 기판.

#### 청구항19

제15항에서,

상기 반도체 패턴과 상기 데이터 배선 사이에 형성되어 있으며, 불순물로 고농도로 도핑되어 있는 저항성 접촉층 패턴을 더 포함하는 박막 트랜지스터 기판.

#### 청구항20

제19항에서,

상기 접촉층 패턴은 상기 데이터 배선과 동일한 형태를 가지는 박막 트랜지스터 기판.

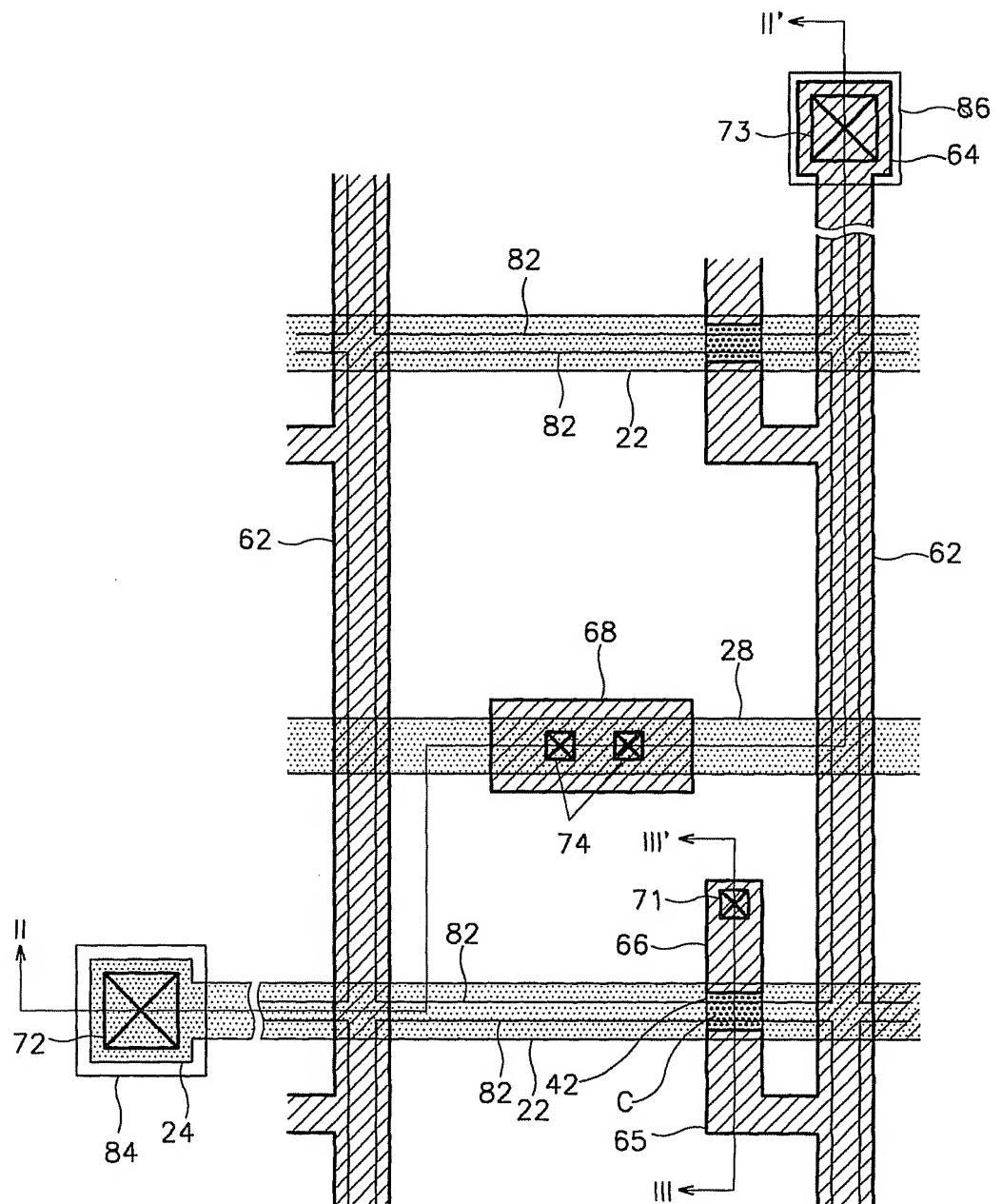
#### 청구항21

제15항에서,

반도체 패턴은 상기 채널부를 제외하면 상기 데이터 배선과 동일한 모양인 박막 트랜지스터 기판.

### 도면

#### 도면1



五图2

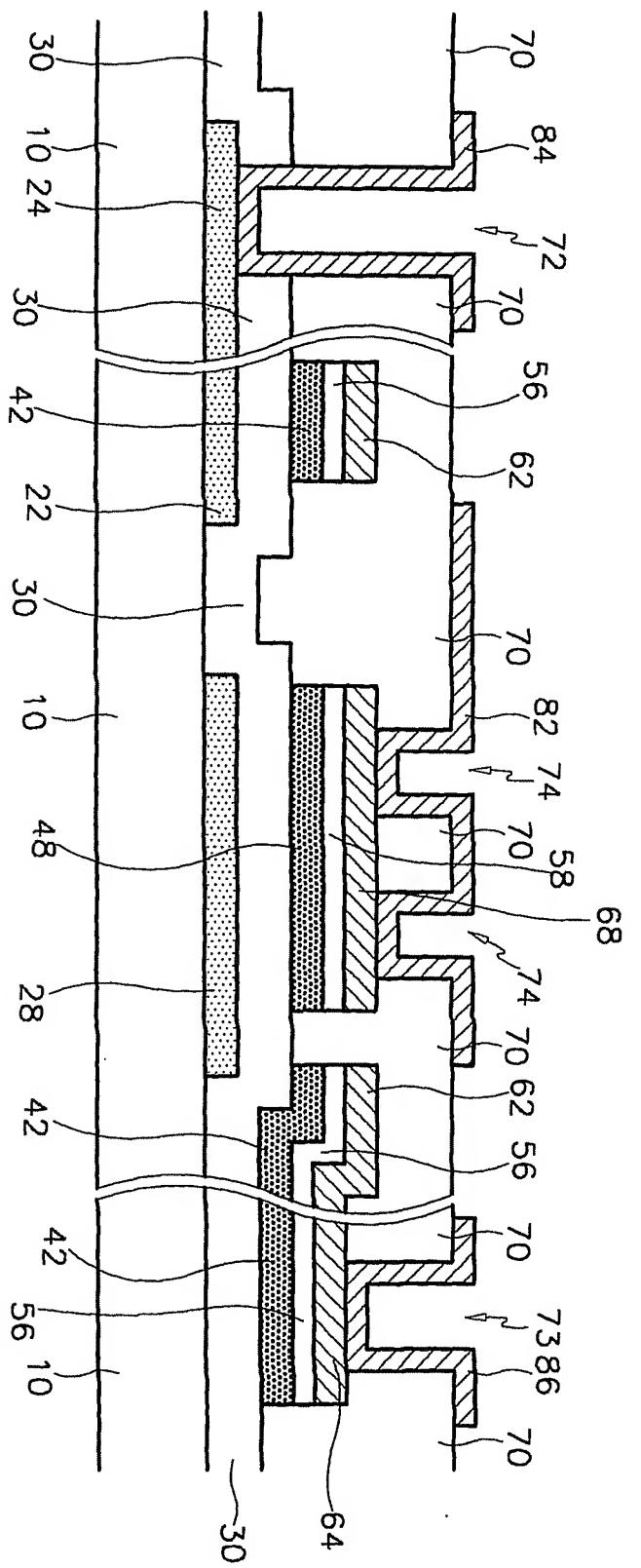


図3

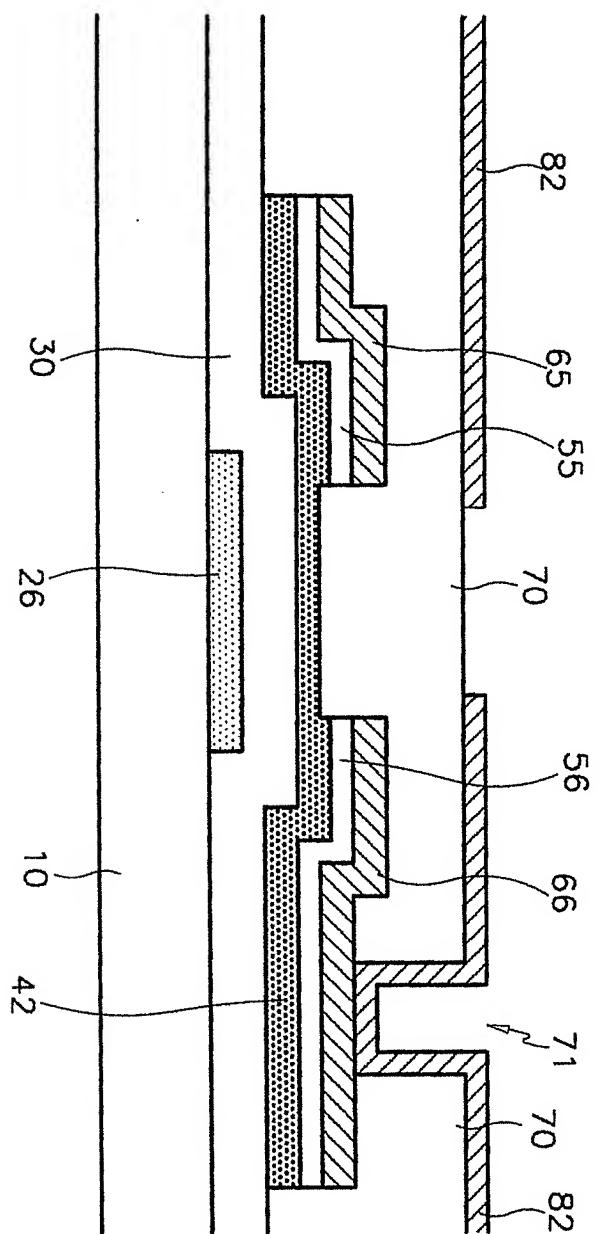


图4a

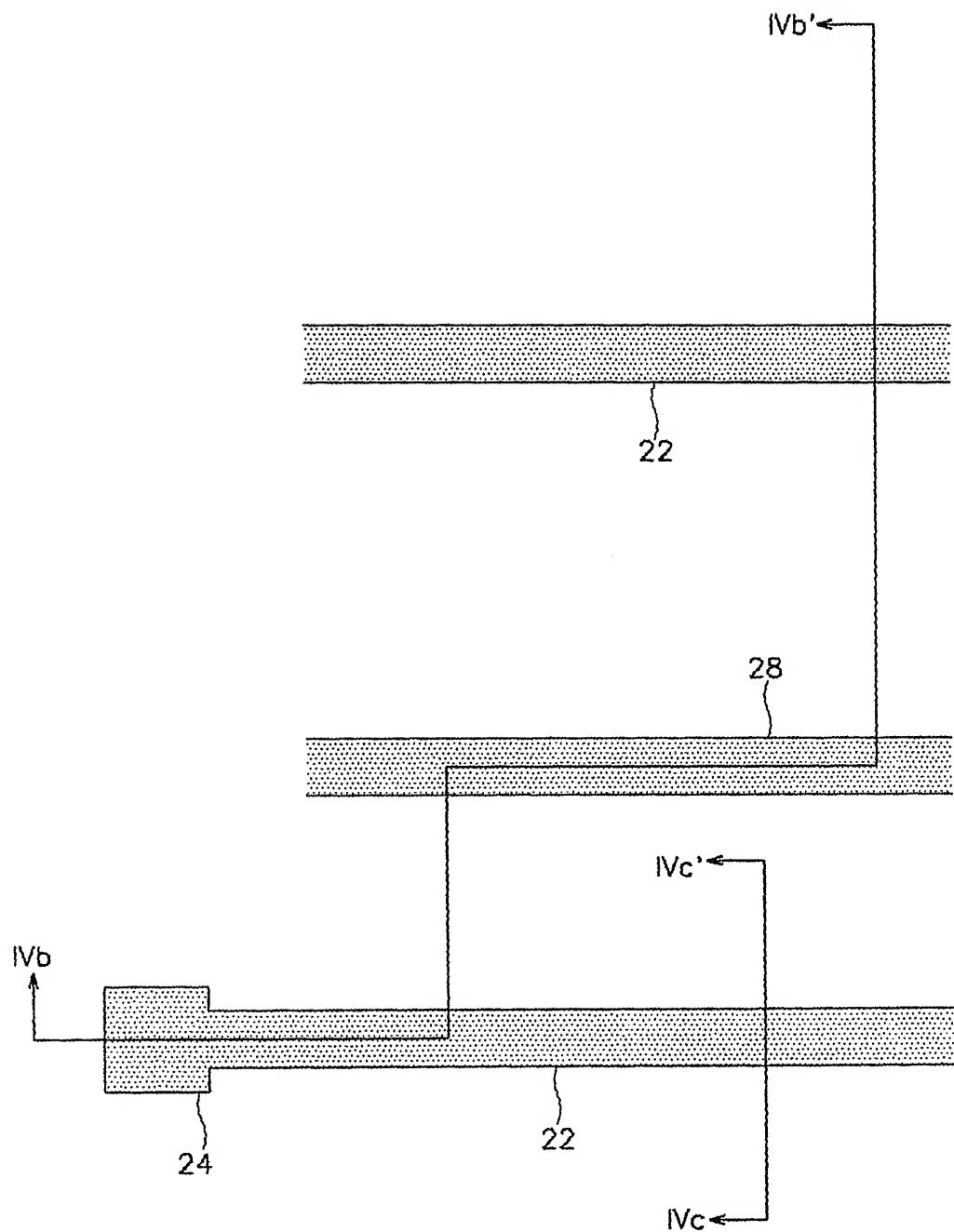
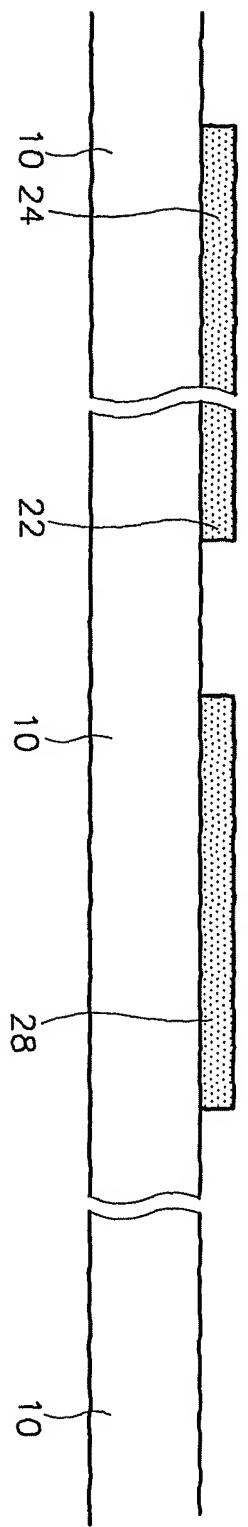
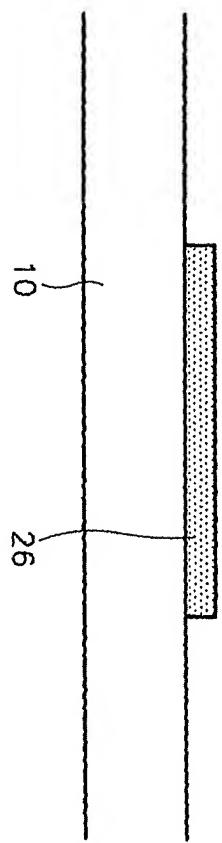


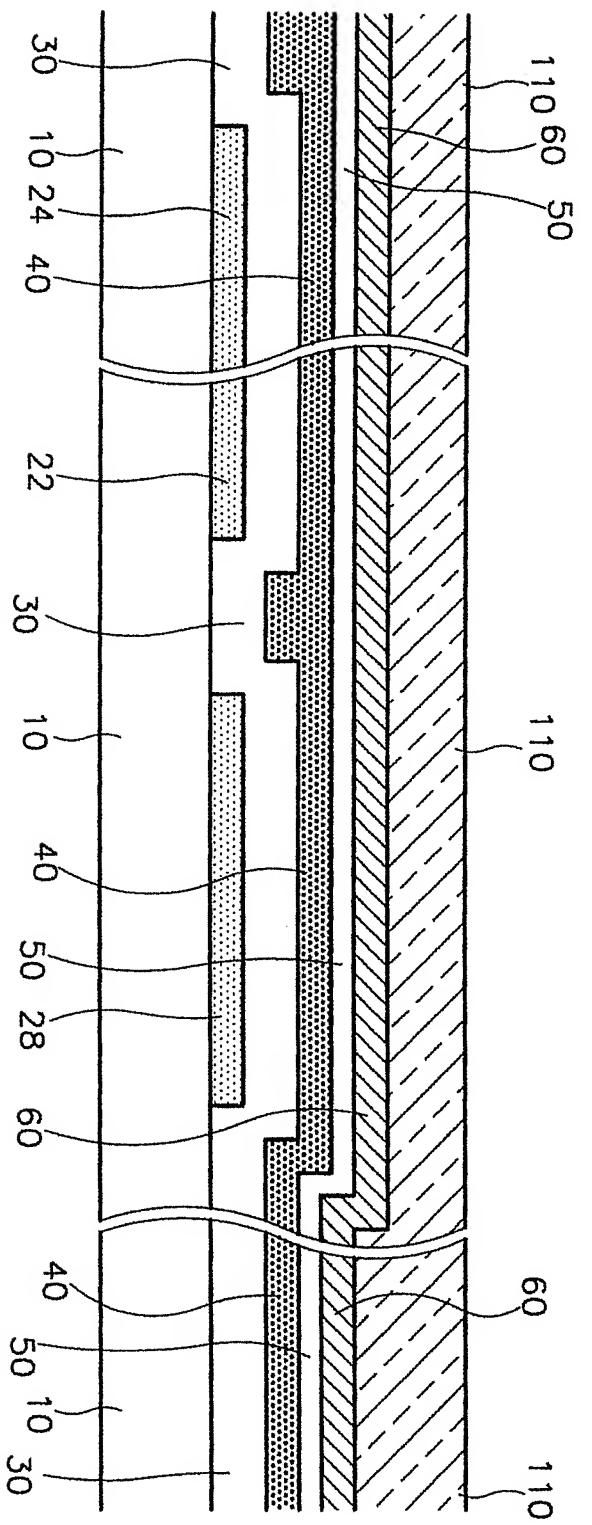
FIG 4b



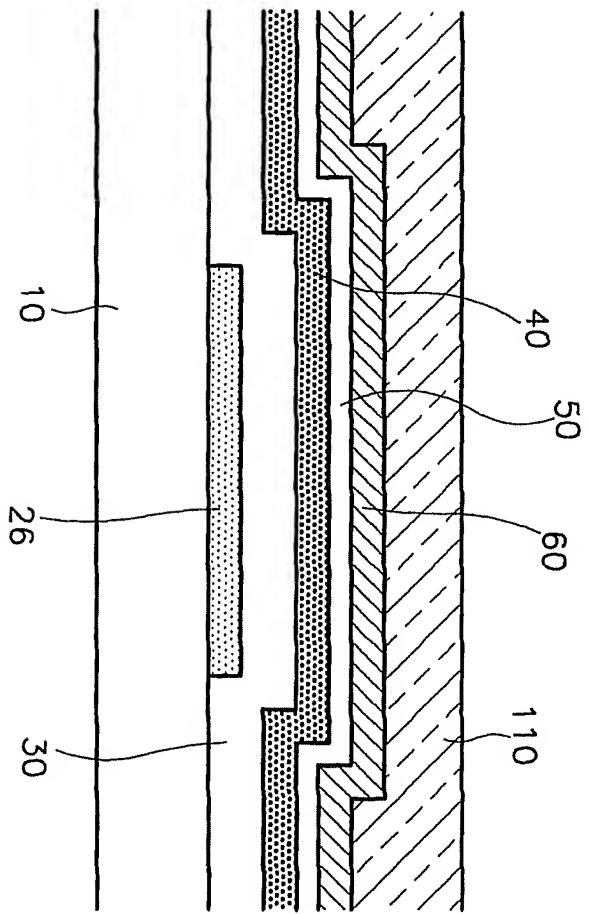
五图4c



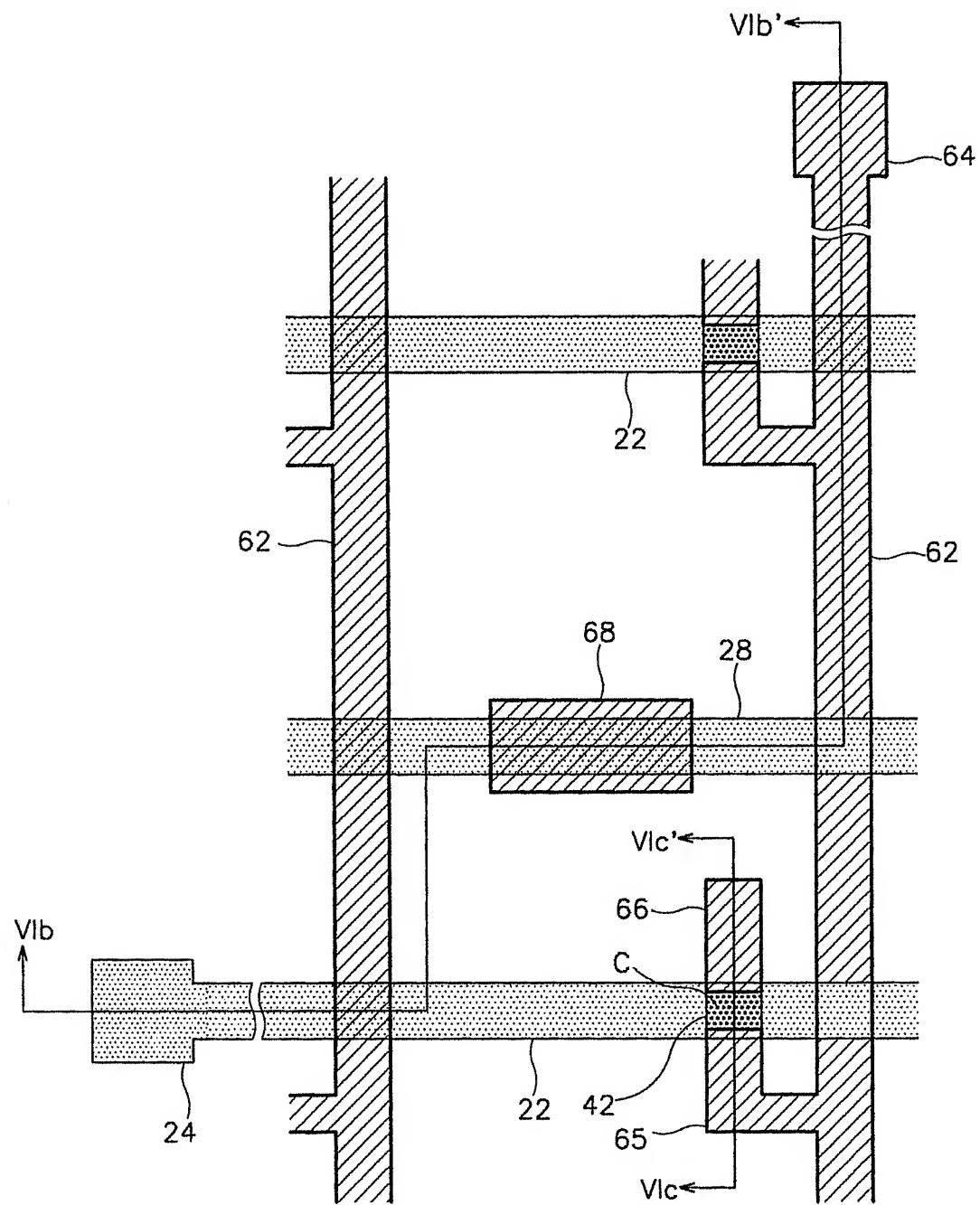
도면5a



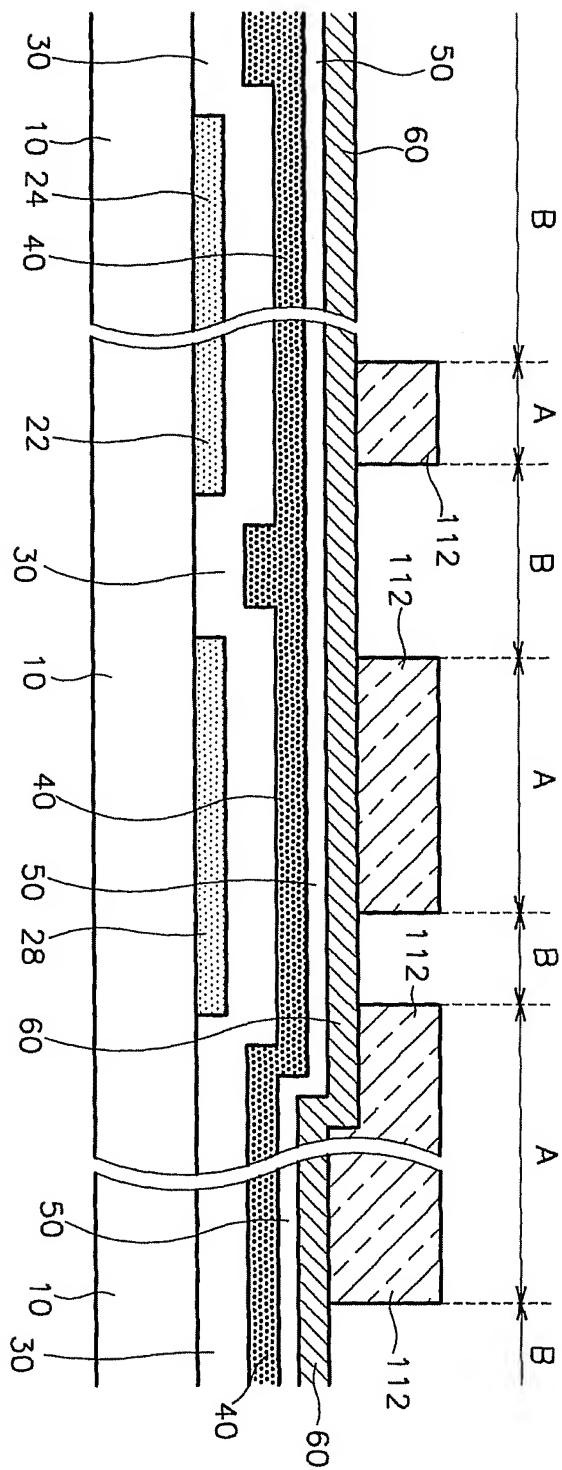
도면 5b



도면6a



도면 6b



### 도면6c

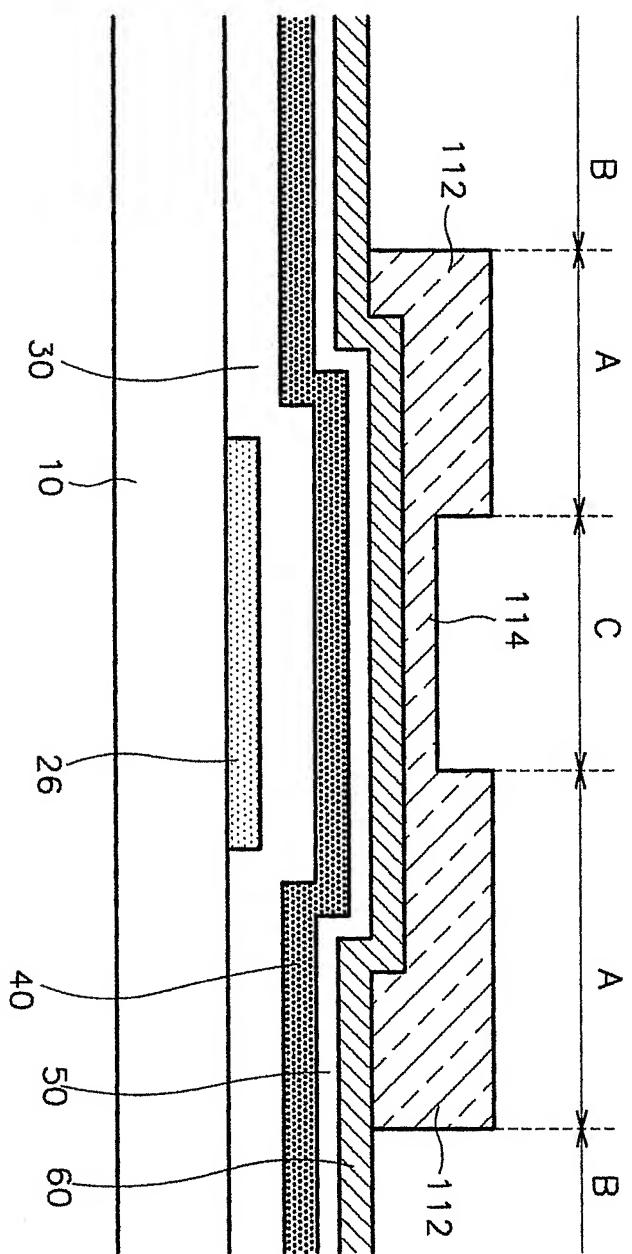
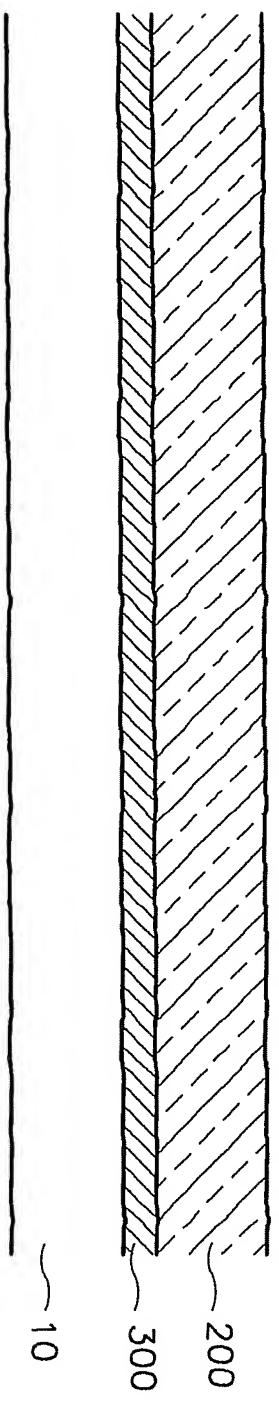
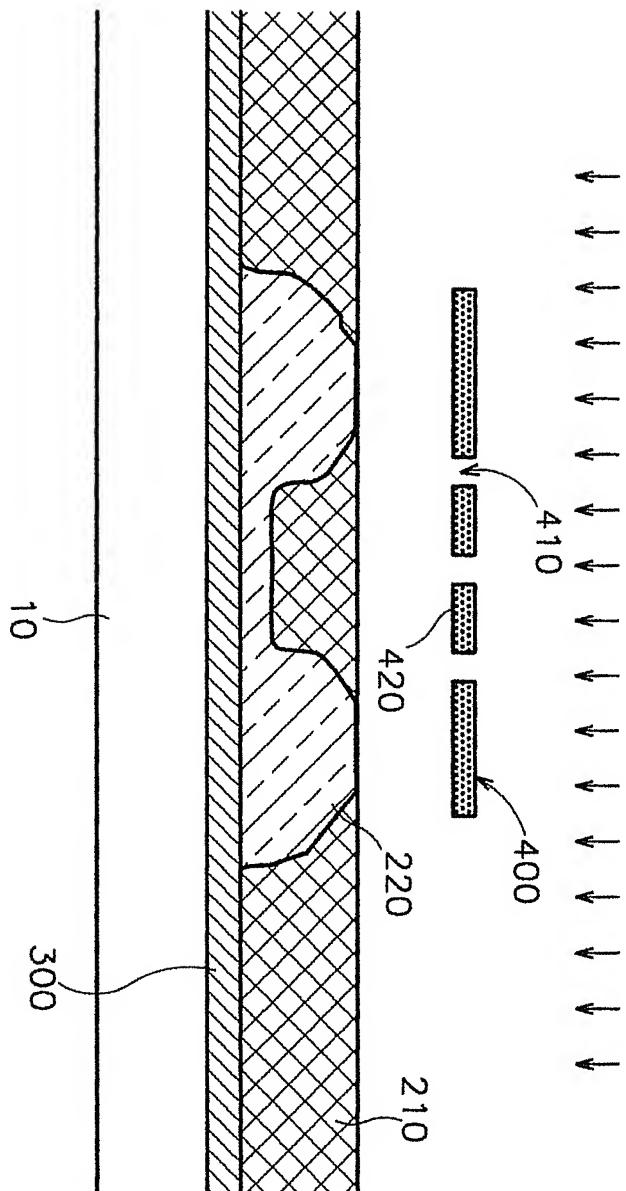


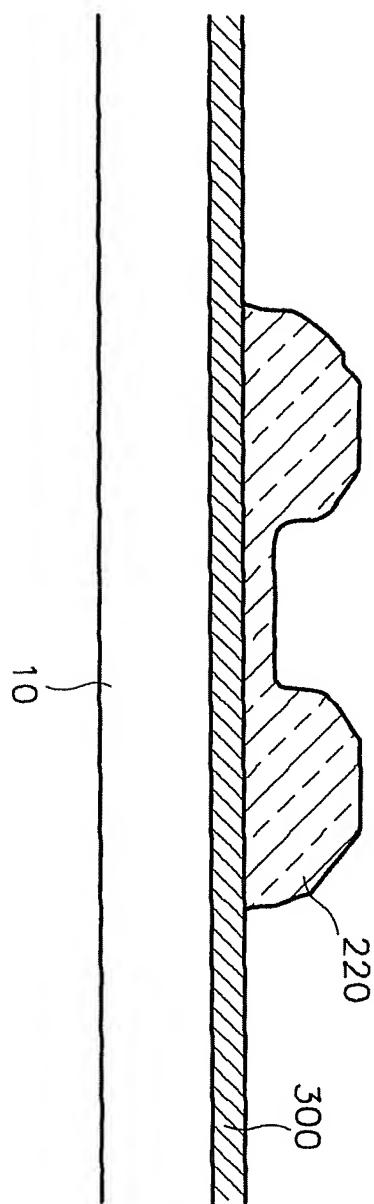
图7a



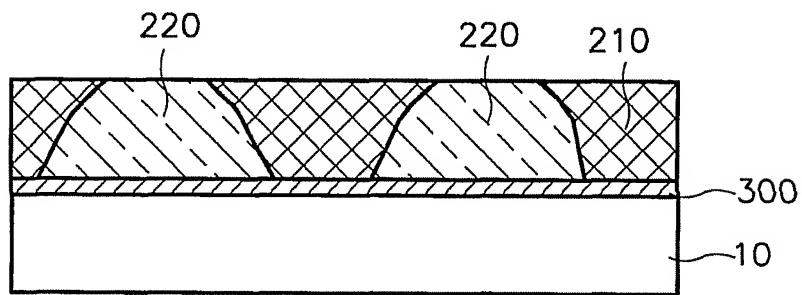
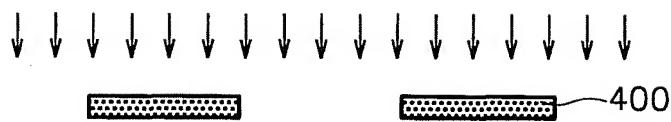
도면7b



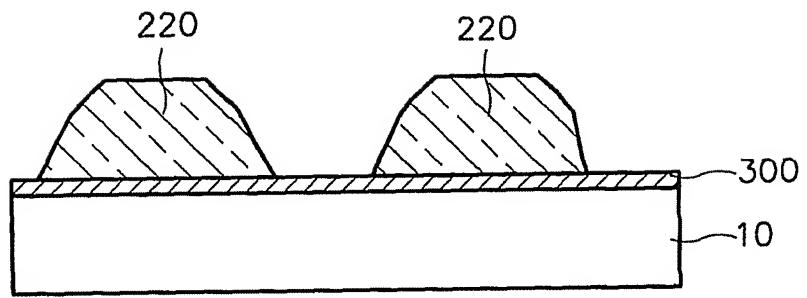
도면7c



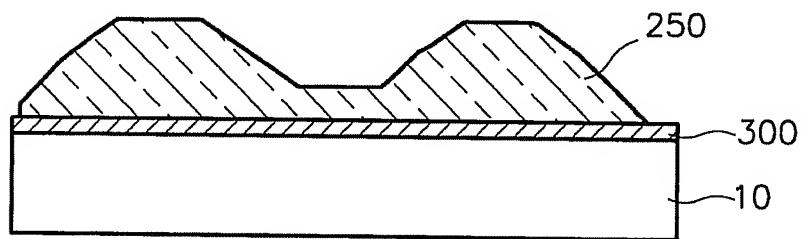
도면 8a



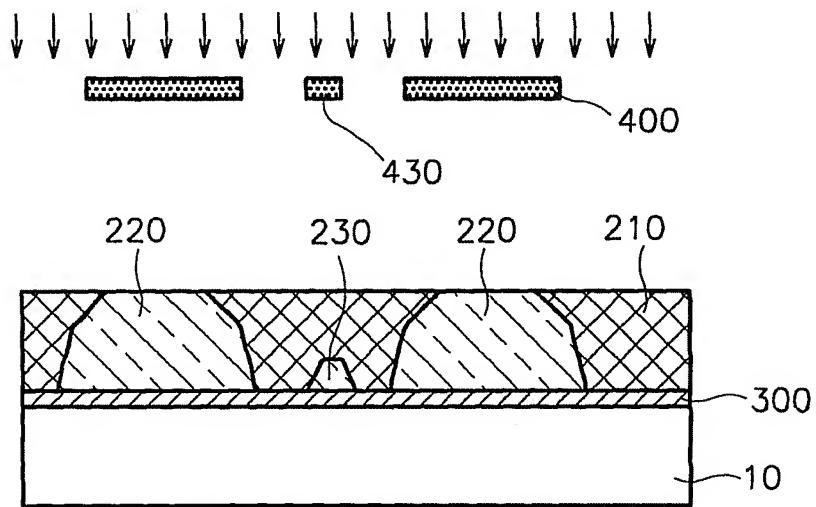
도면 8b



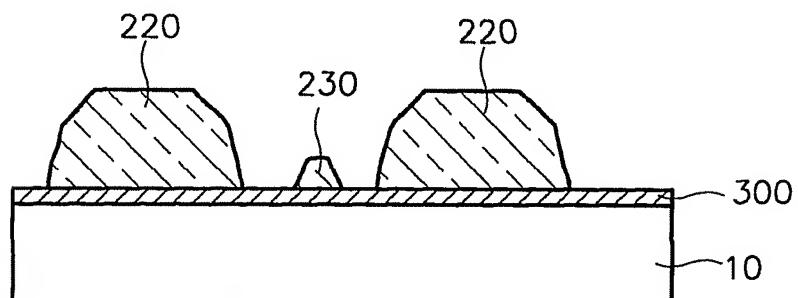
도면8c



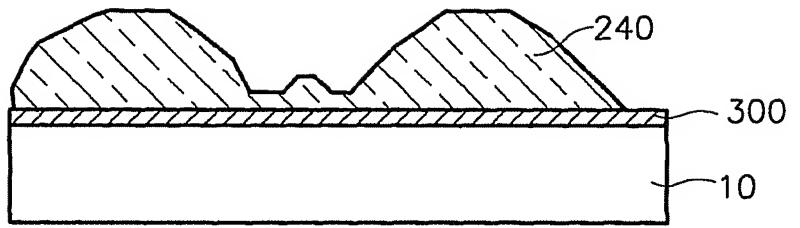
도면9a



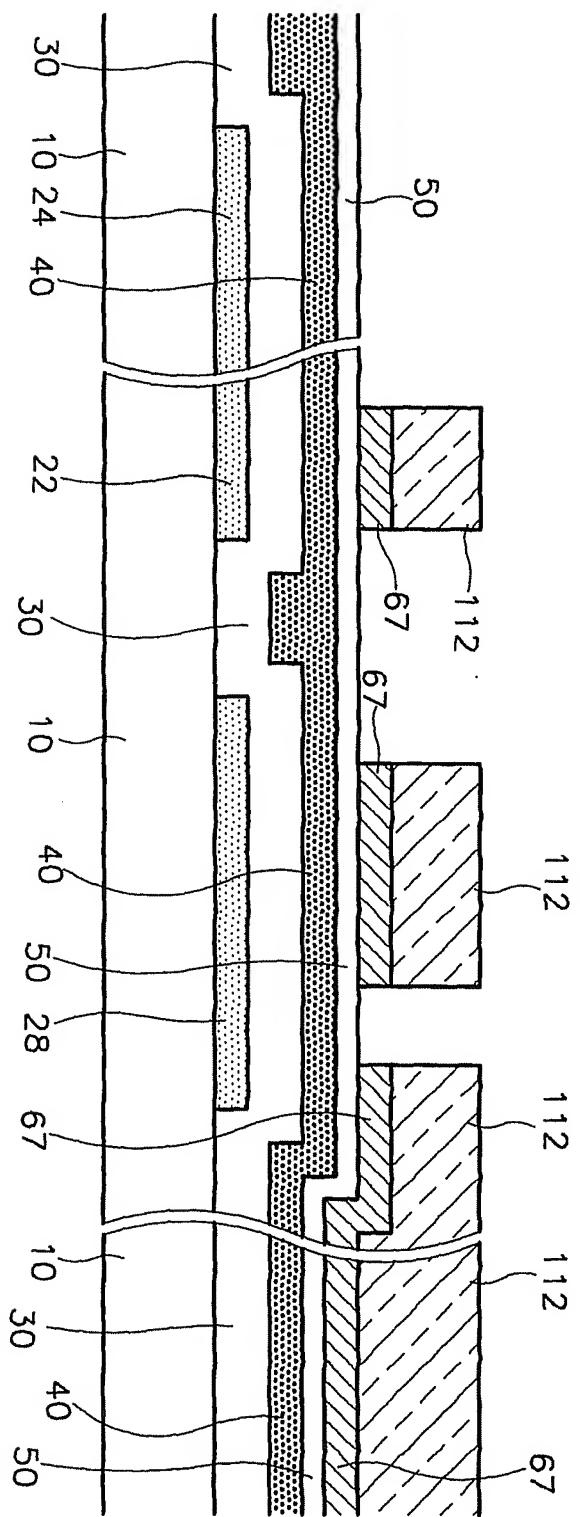
도면9b



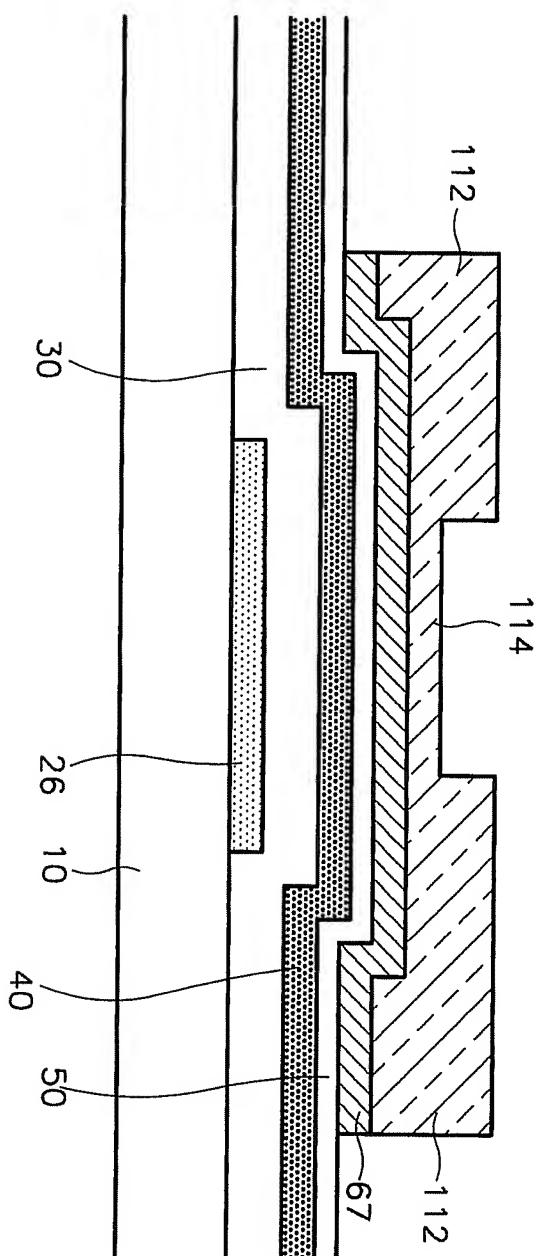
도면9c



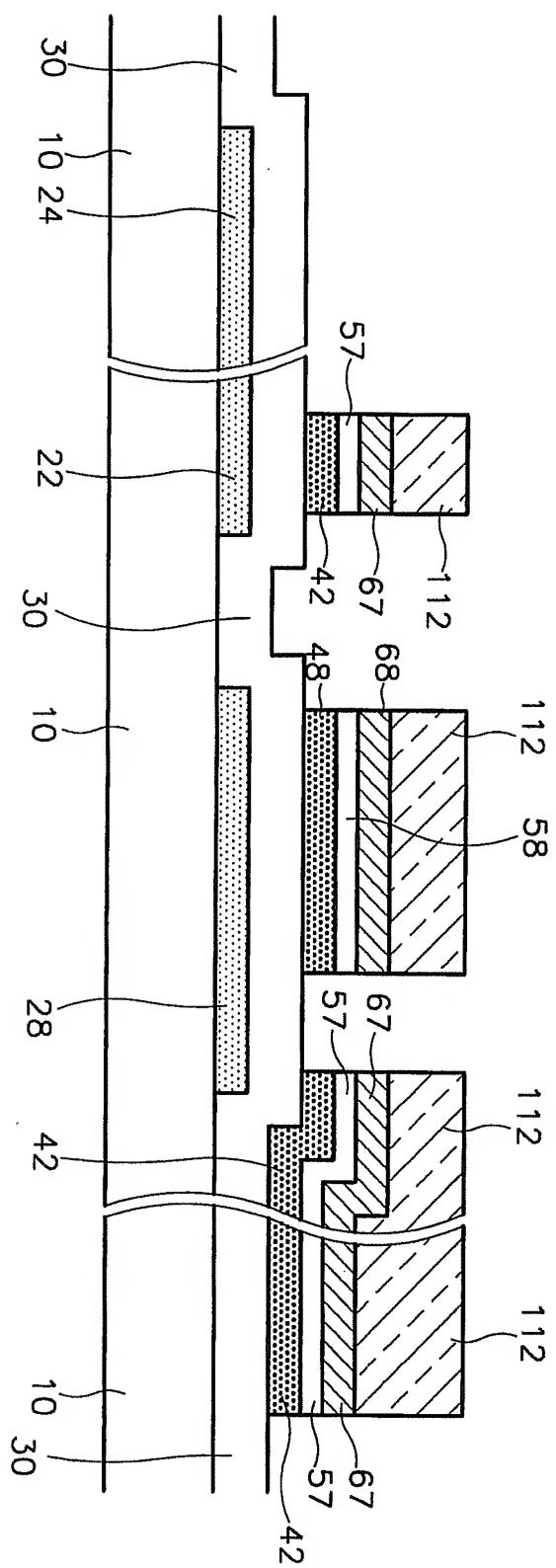
도면10a



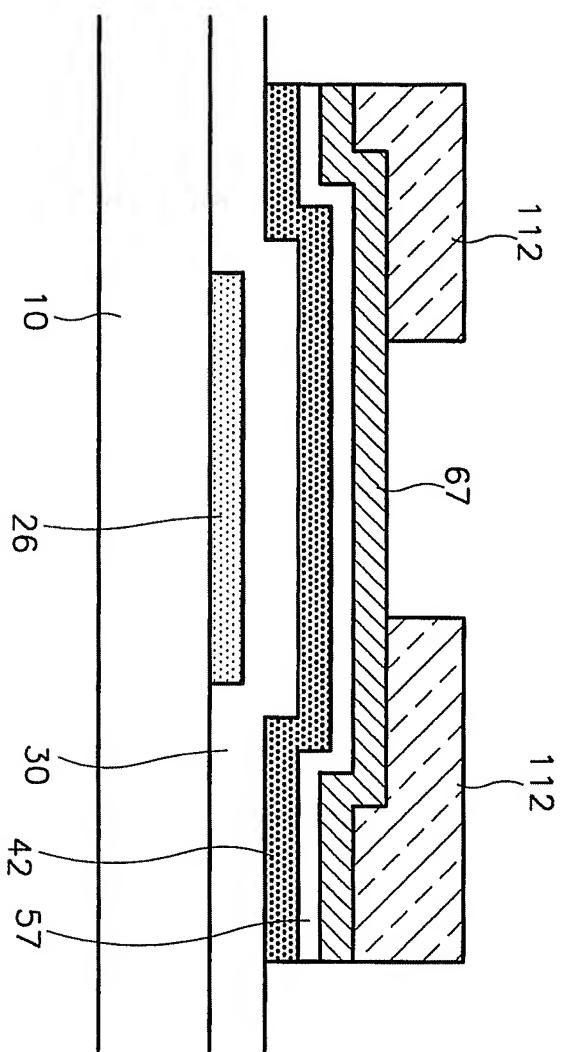
### 도면10b



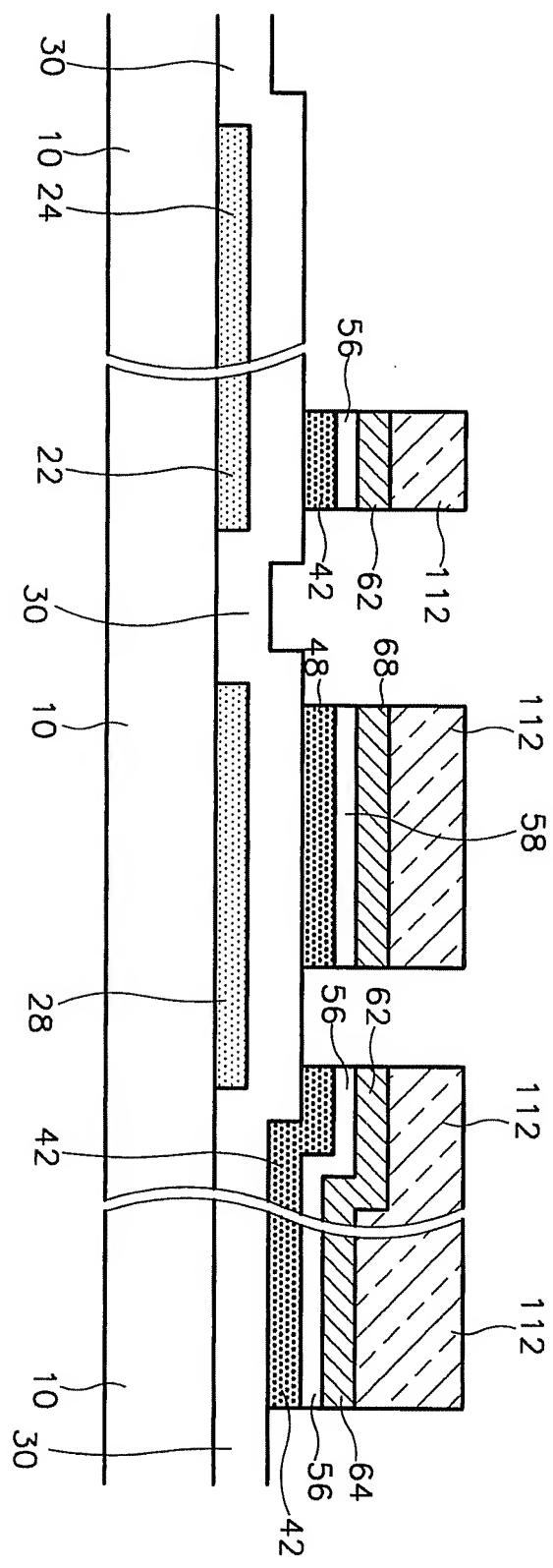
도면11a



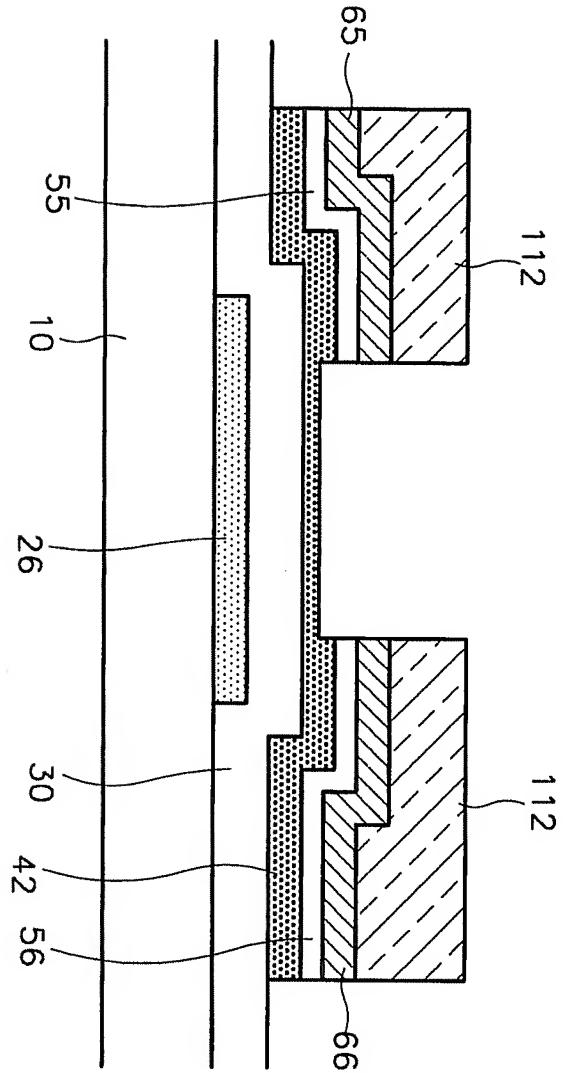
도면11b



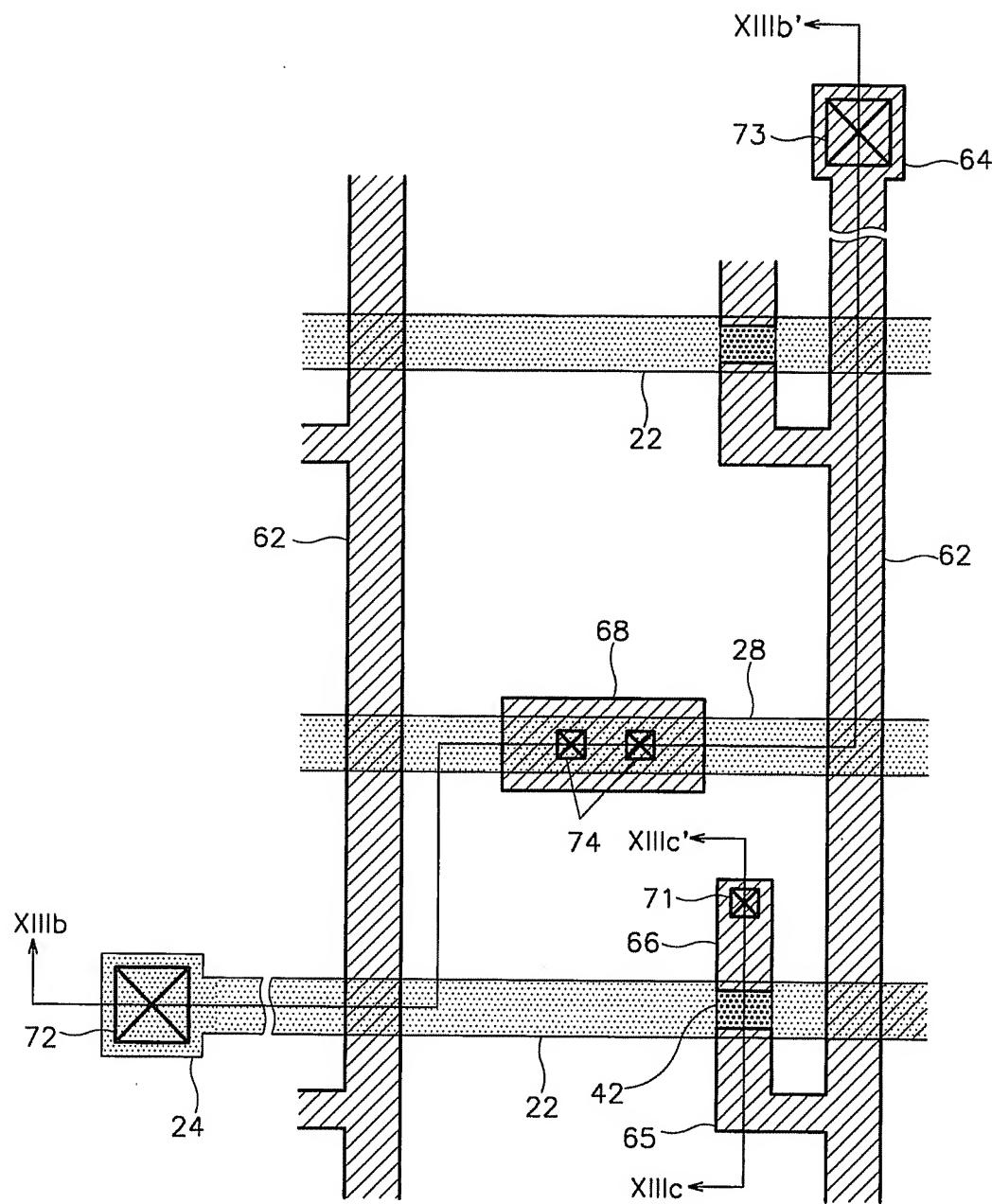
도면12a



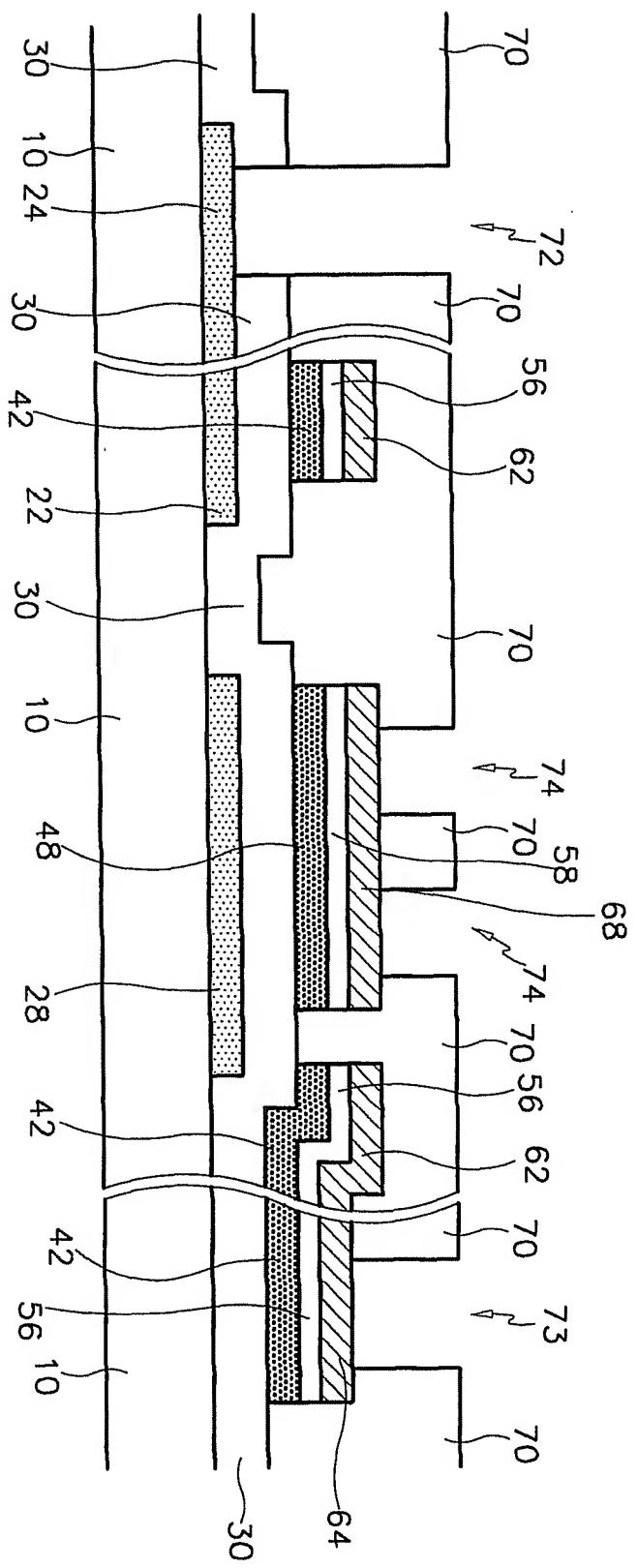
도면12b



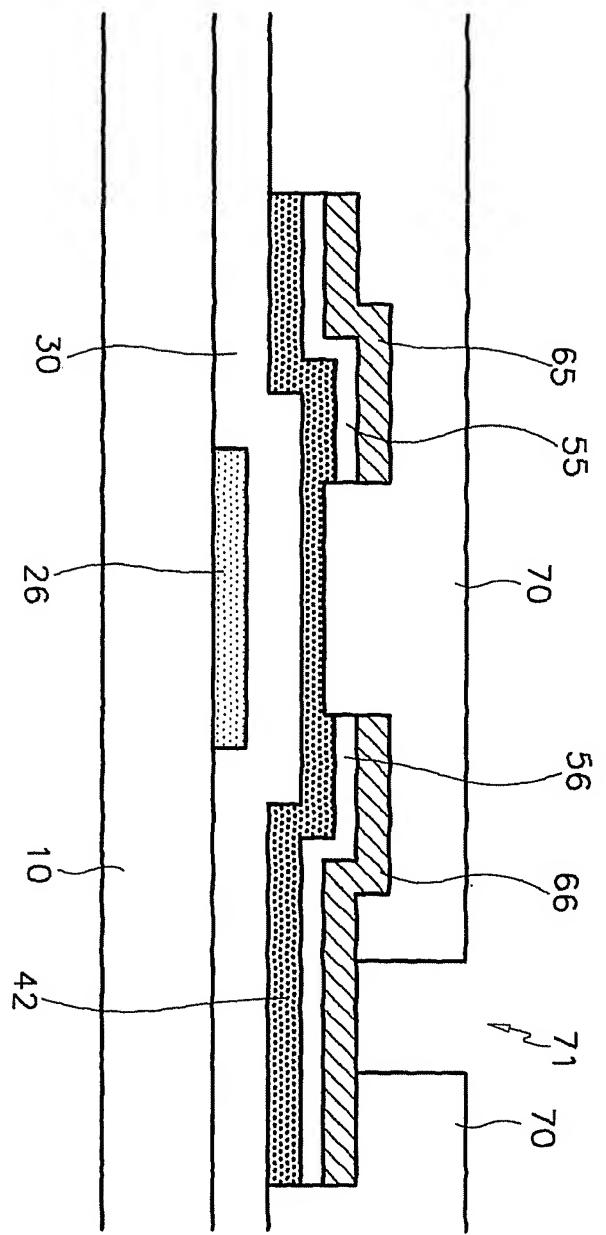
五图13a



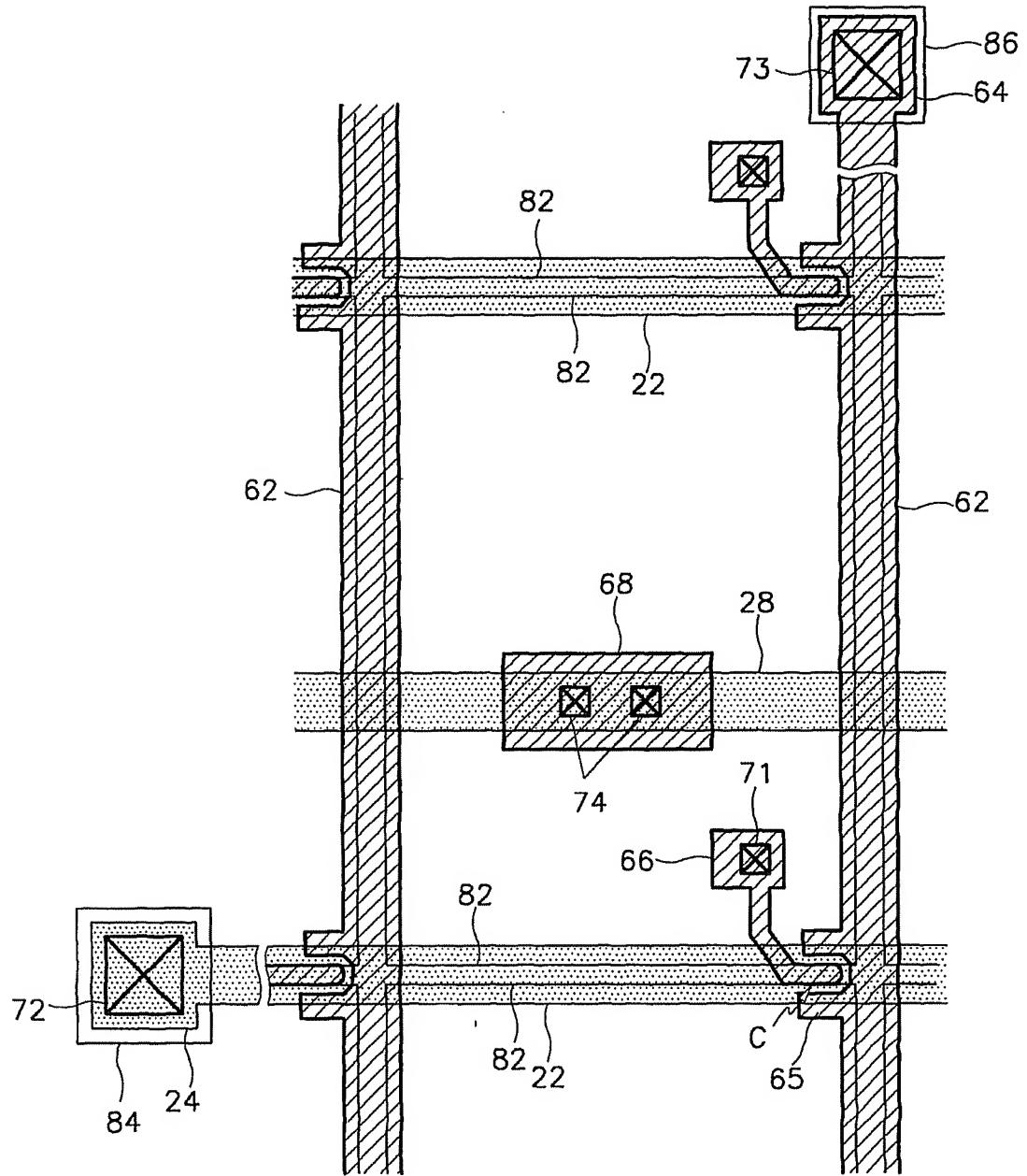
도면13b



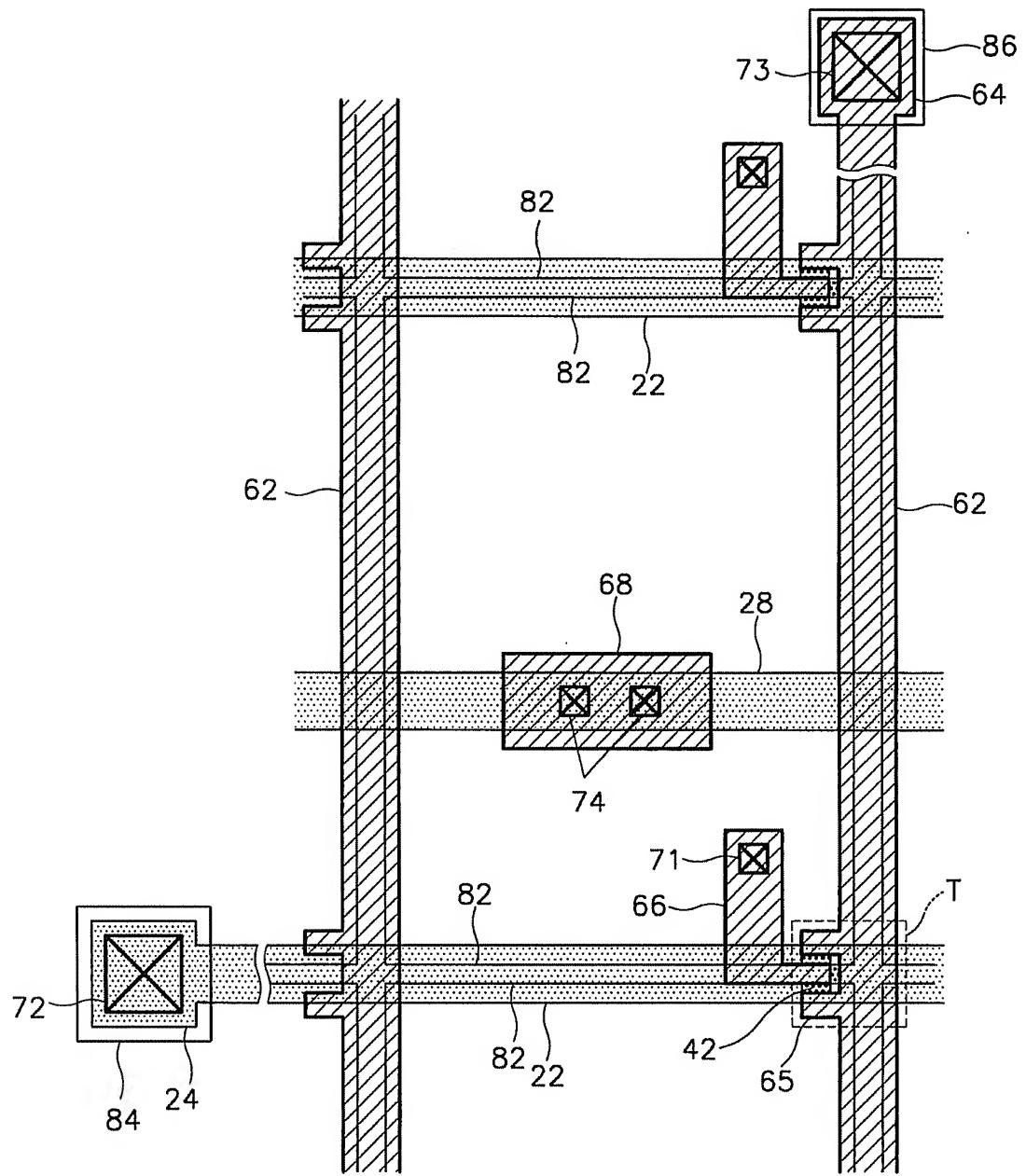
도면 13c



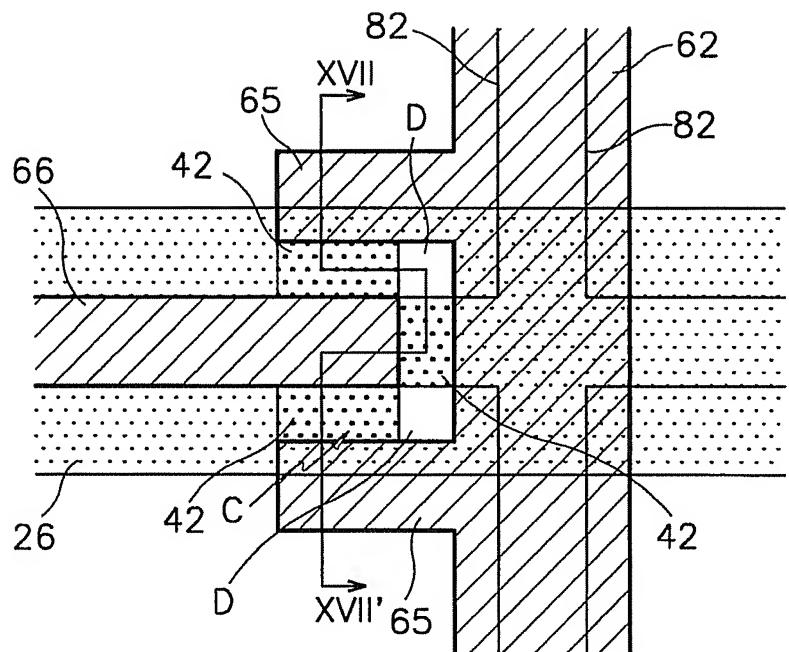
도면14



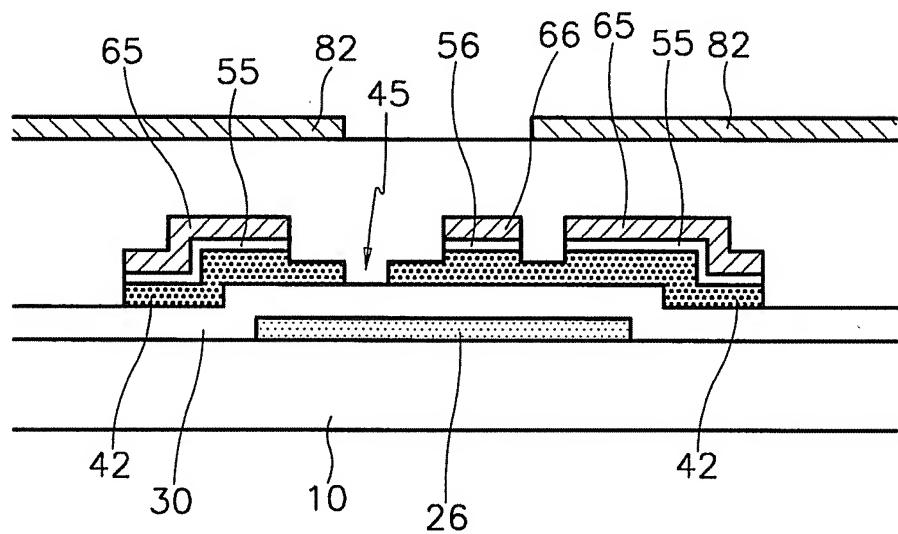
도면15



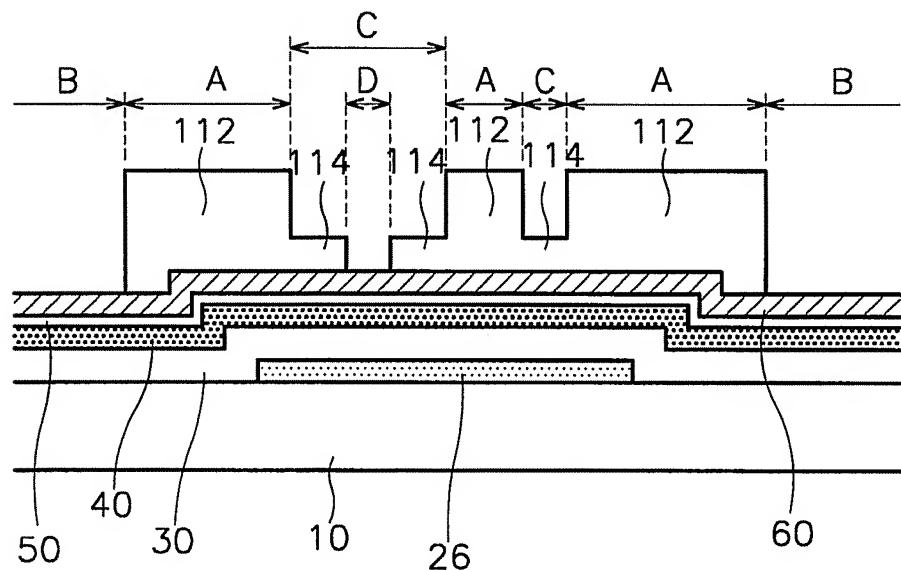
도면16



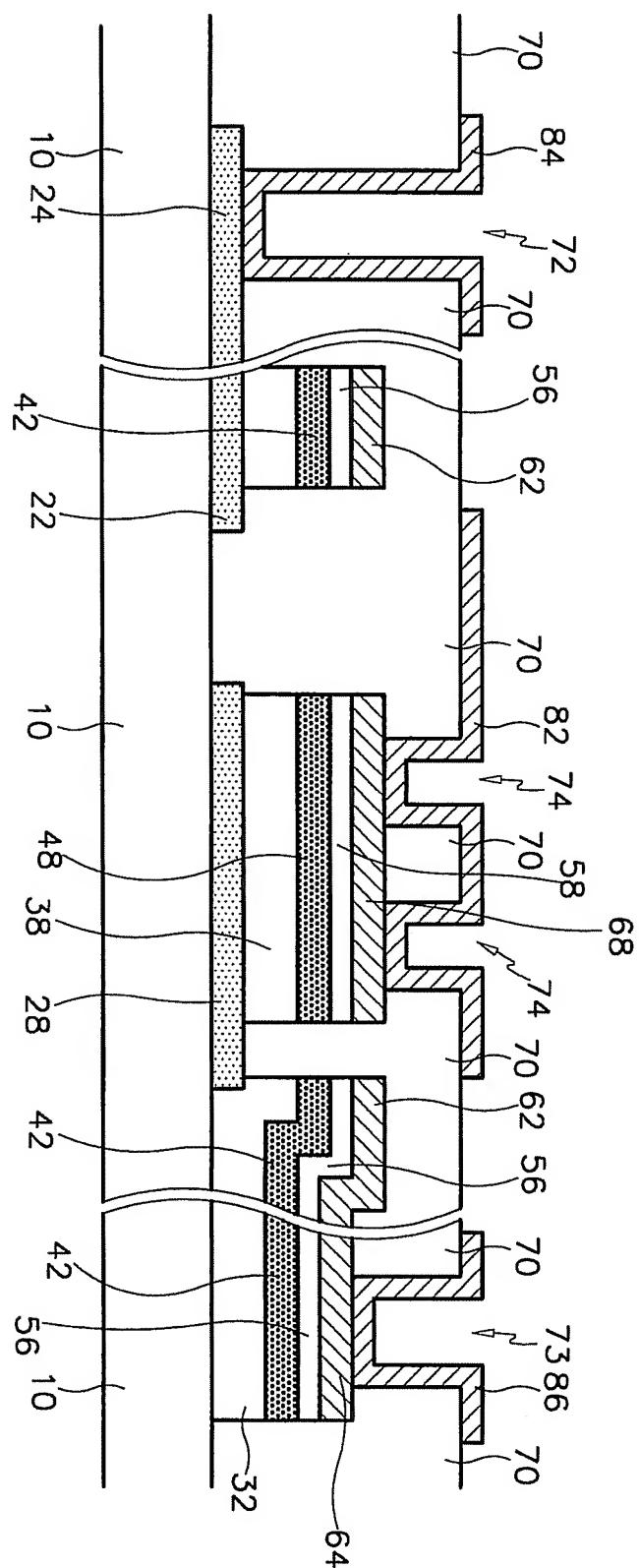
도면17



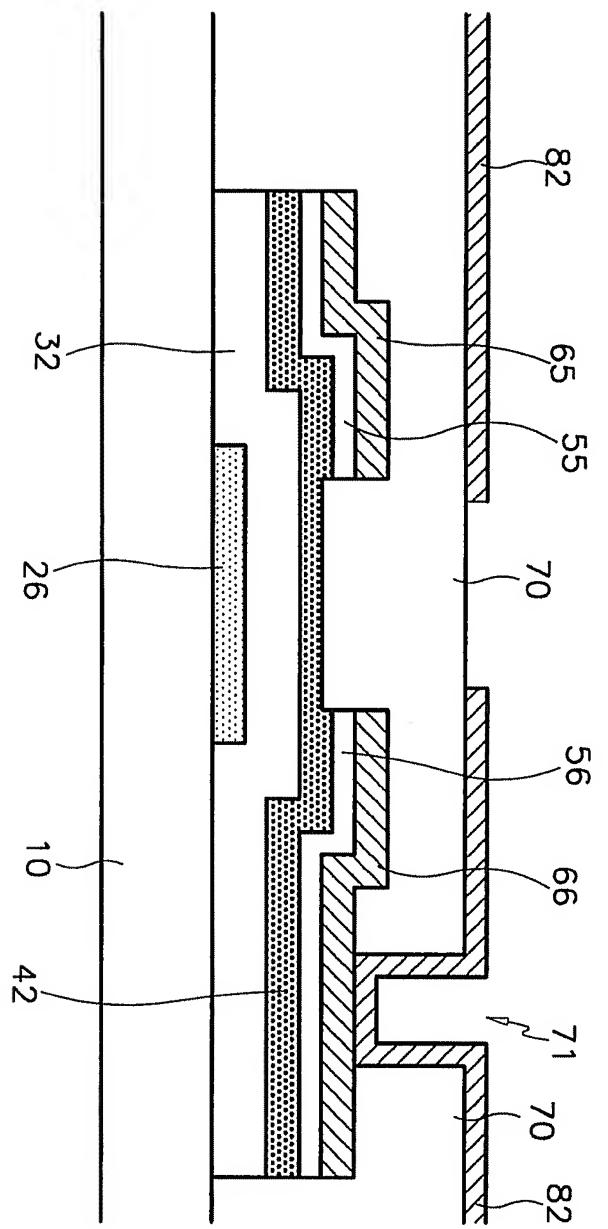
도면18



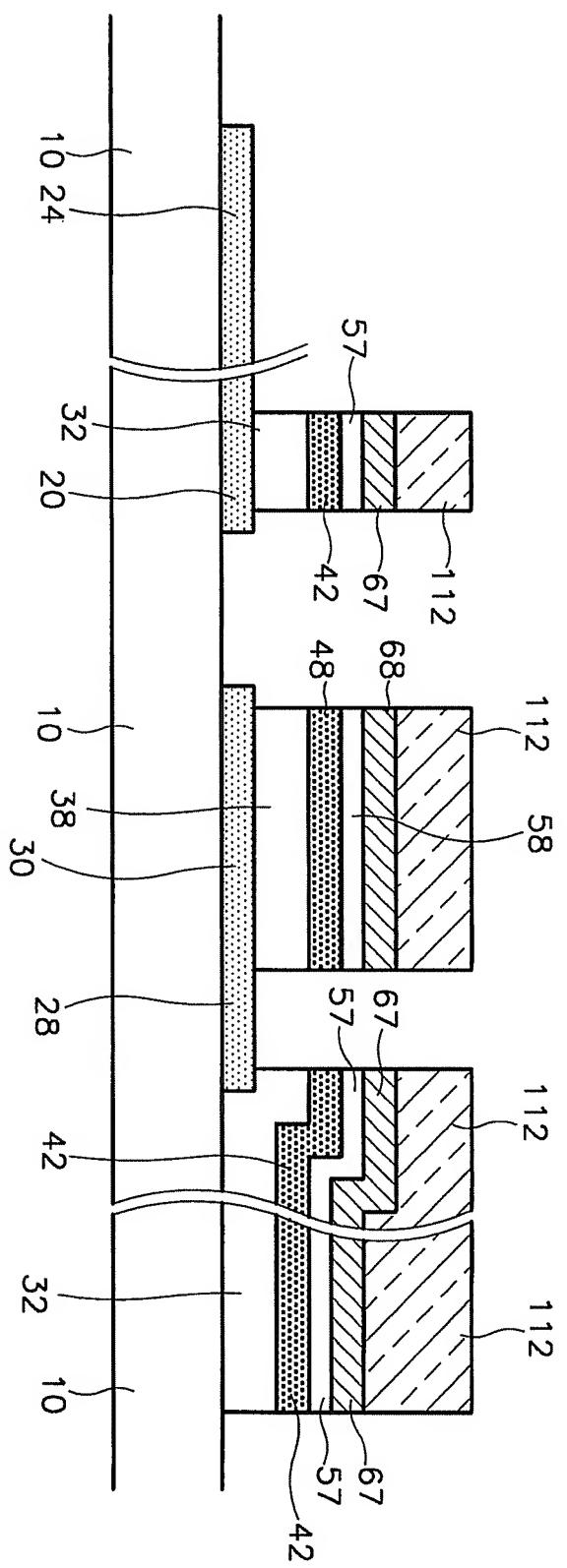
도면19



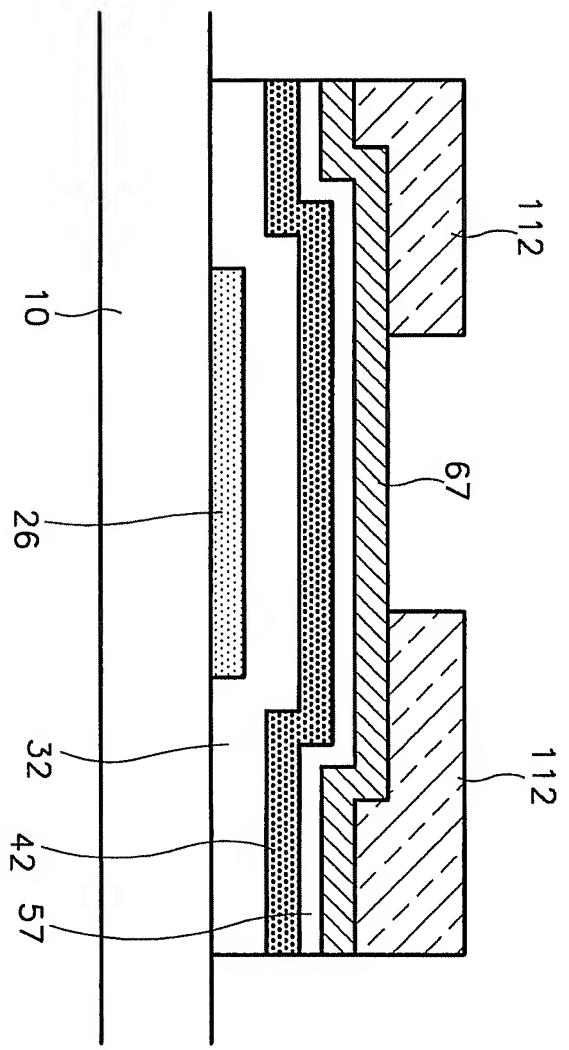
도면20



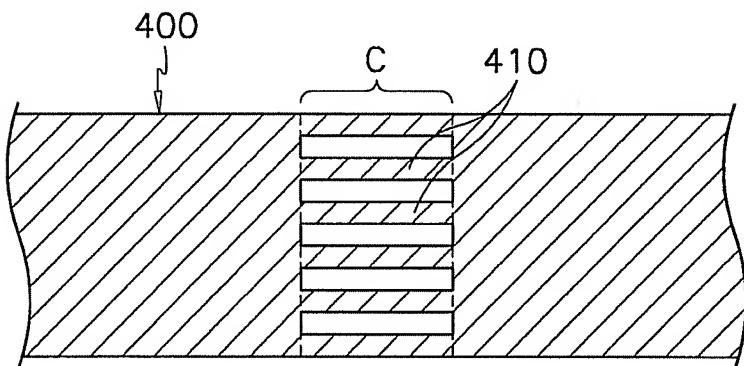
도면21a



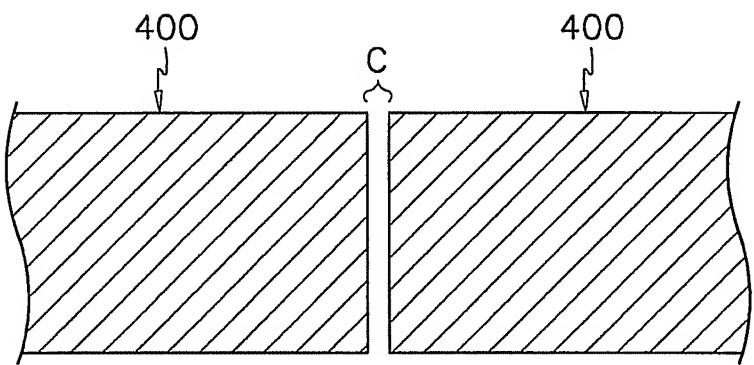
도면21b



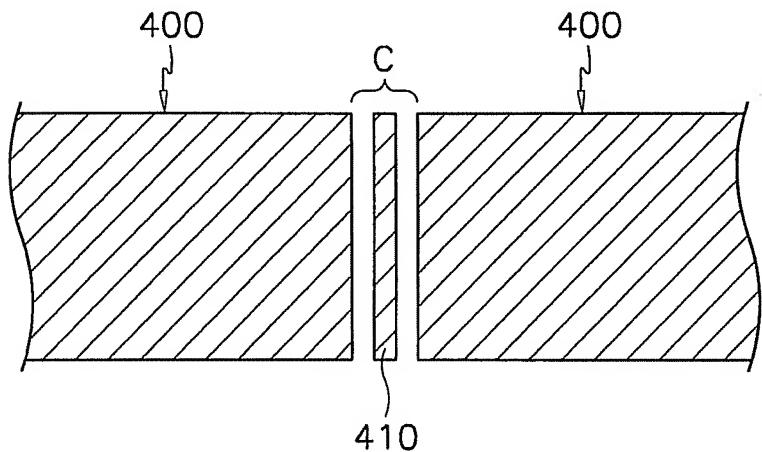
도면22a



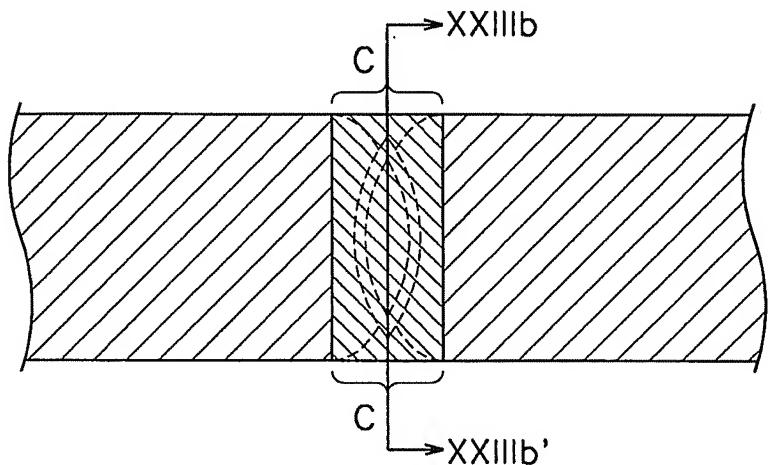
도면22b



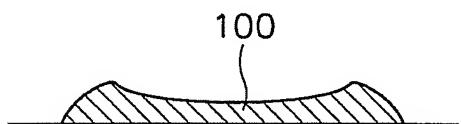
도면22c



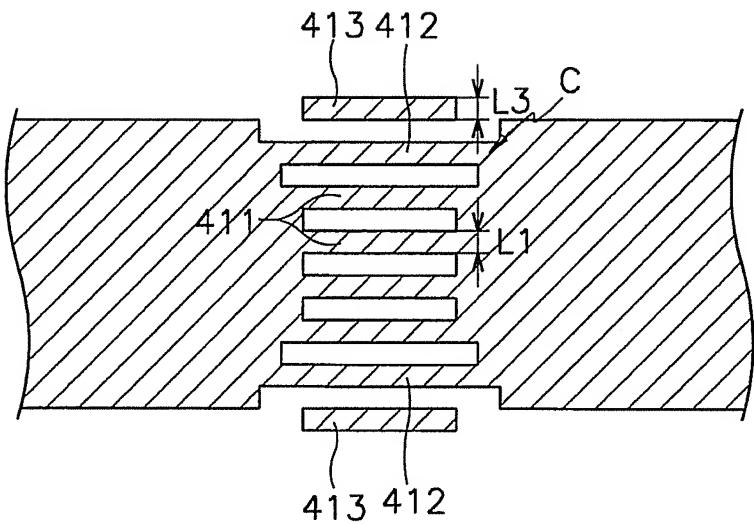
도면23a



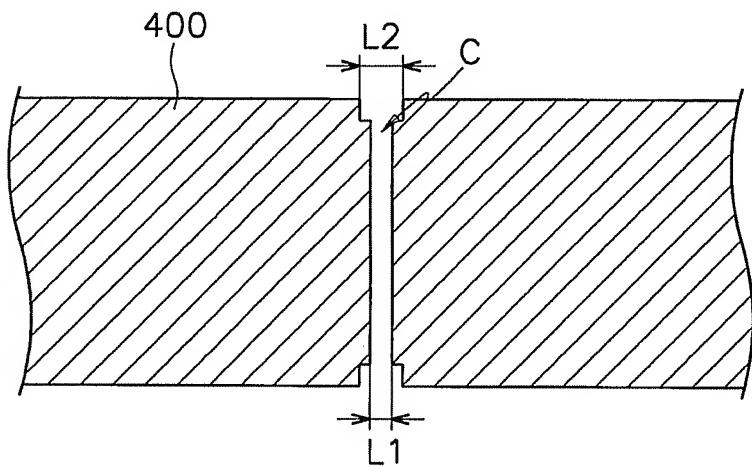
도면23b



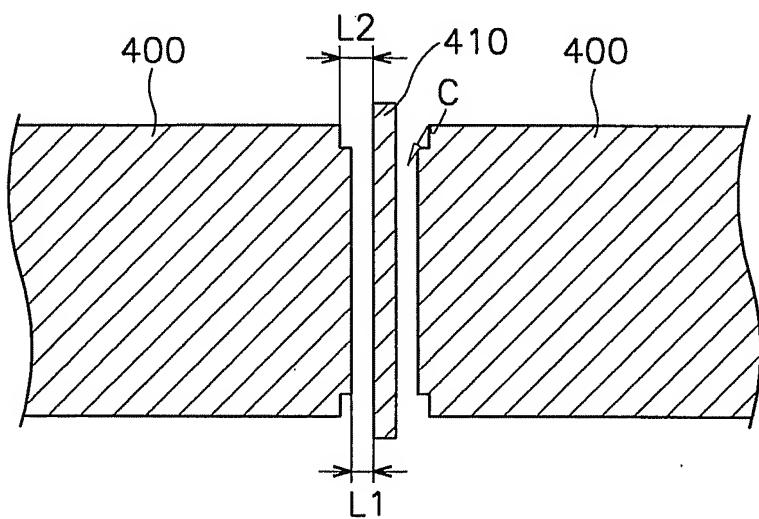
도면24a



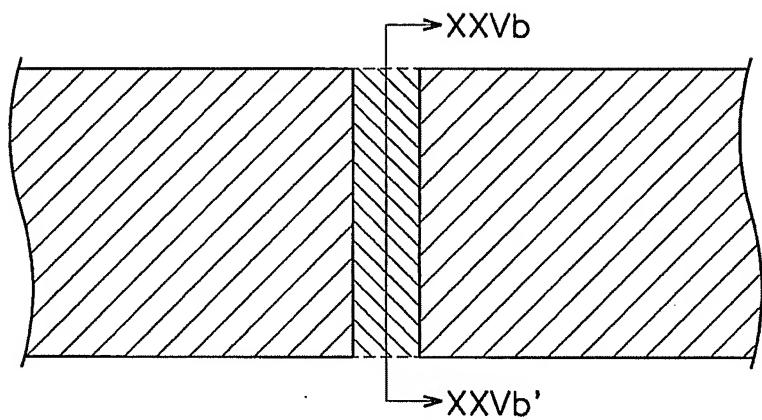
도면24b



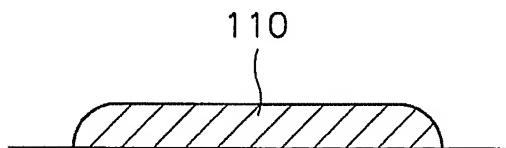
도면24c



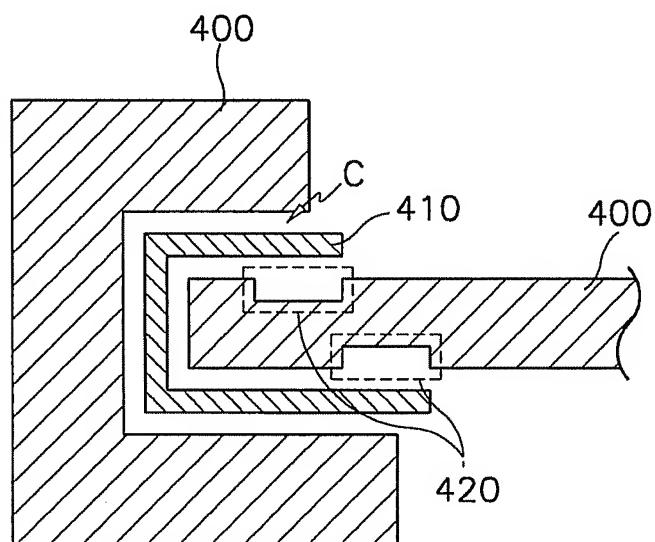
도면25a



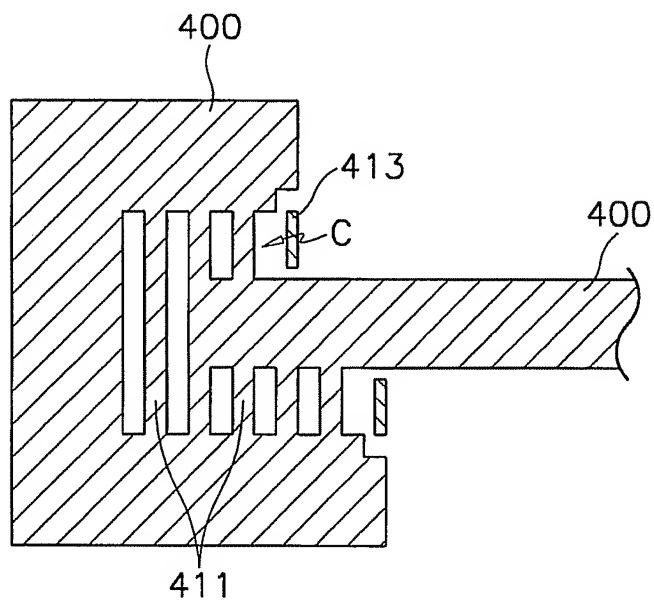
도면25b



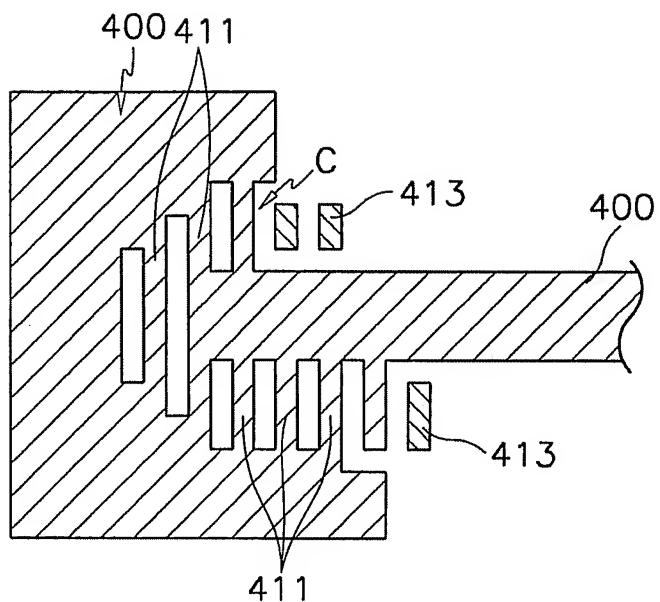
도면26a



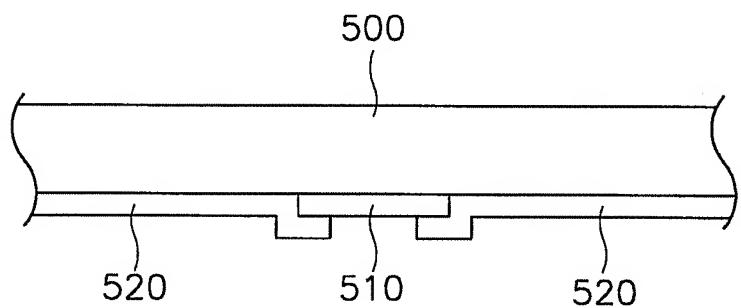
도면26b



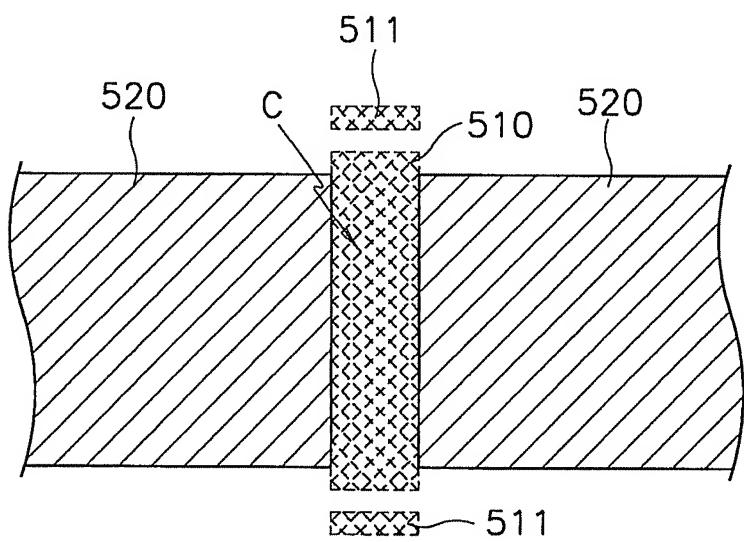
도면26c



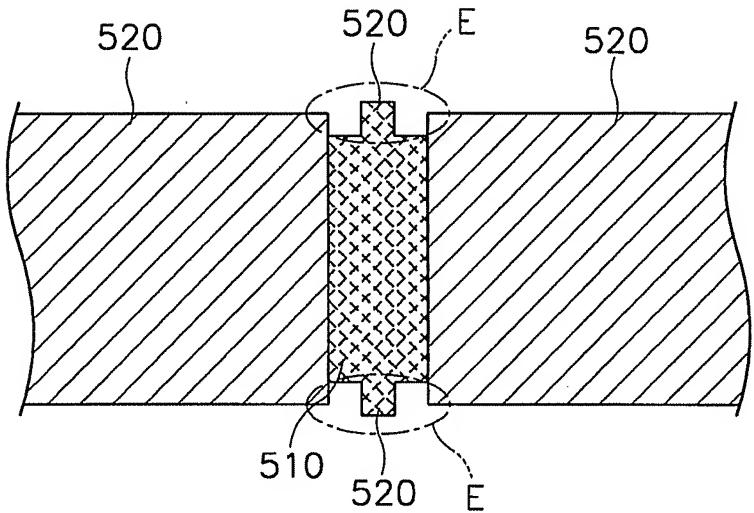
도면27a



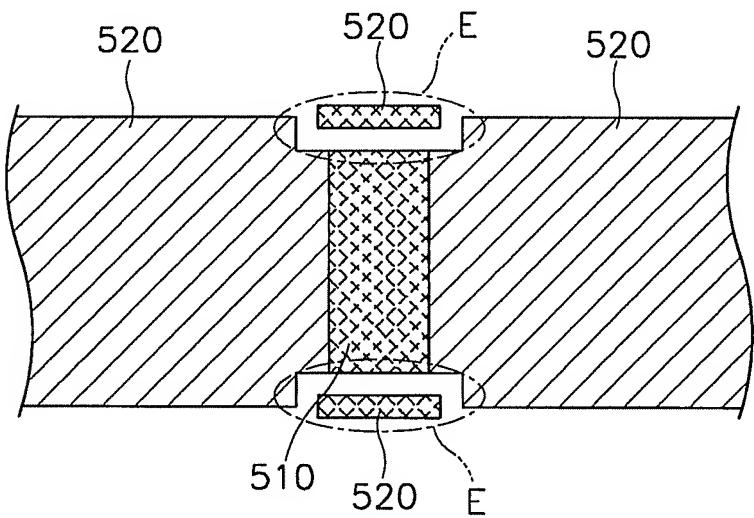
도면27b



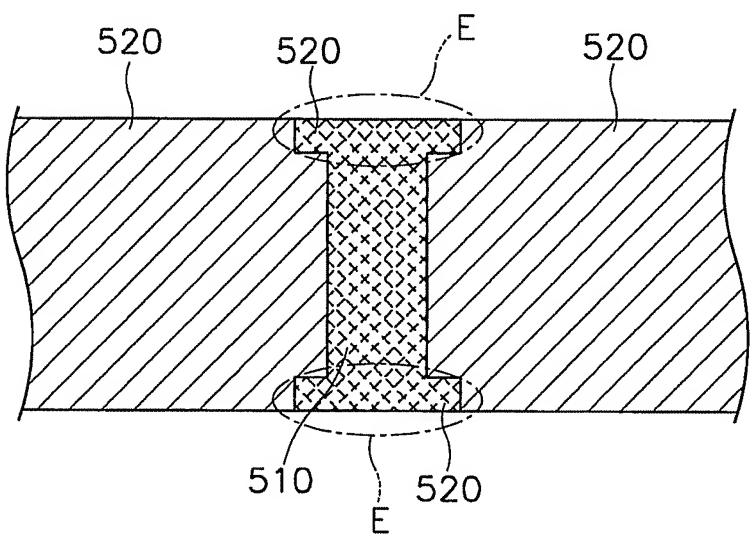
도면27c



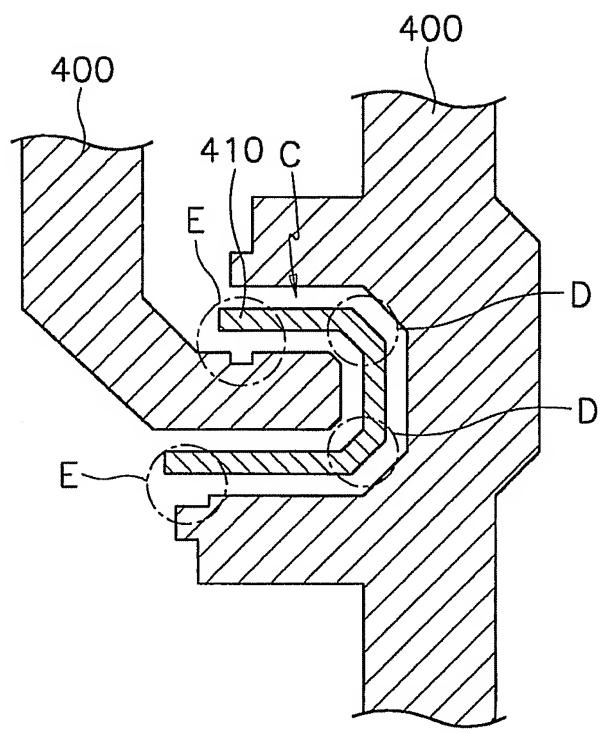
도면27d



도면27e



도면28



도면29

